

Docket: 0756-225



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re New **PATENT** Application of )  
Jun KOYAMA et al ) Attn: Applications  
Japanese Priority Application No. 2000-023656 ) Branch  
Japanese Priority Date: February 1, 2000 )  
For: NONVOLATILE MEMORY, ) Date: February 1, 2001  
SEMICONDUCTOR DEVICE AND METHOD )  
OF MANUFACTURING THE SAME )

#4 / Priority  
paper  
11-27-01  
R. K. K.

CLAIM FOR PRIORITY UNDER 35 U.S.C. § 119 AND  
SUBMISSION OF CERTIFIED PRIORITY DOCUMENT

Honorable Assistant Commissioner for Patents  
Washington, D.C. 20231

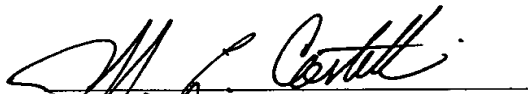
Sir:

Applicant hereby claims foreign priority benefits under 35 U.S.C. §119 based  
upon the following foreign patent application:

Japanese Application No. 2000-023656 Filed February 1, 2000.

A certified copy of the priority Japanese application is submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
Jeffrey L. Costellia  
Registration No. 35,483

NIXON PEABODY LLP  
8180 Greensboro Drive, Suite 800  
McLean, Virginia 22102  
(703) 790-9110

JLC/sas

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

Jc971 U.S. PTO  
09/774888  
02/01/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月 1日

出 願 番 号

Application Number:

特願2000-023656

出 願 人

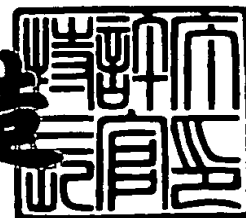
Applicant(s):

株式会社半導体エネルギー研究所

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3099546

【書類名】 特許願

【整理番号】 P004588-01

【提出日】 平成12年 2月 1日

【あて先】 特許庁長官 殿

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 小山 潤

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 加藤 清

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性メモリ、半導体装置、およびその作製方法

【特許請求の範囲】

【請求項 1】

メモリ T F T とスイッチング T F T とから成るメモリセルがマトリクス状に配置されたメモリセルアレイを少なくとも備えた不揮発性メモリであって、

前記メモリ T F T は、絶縁基板上に形成される半導体活性層と、第 1 の絶縁膜と、フローティングゲート電極と、第 2 の絶縁膜と、コントロールゲート電極と、を少なくとも備えており、前記スイッチング T F T は、前記絶縁基板上に形成される半導体活性層と、ゲート絶縁膜と、ゲート電極と、を少なくとも備えており、

前記メモリ T F T と前記スイッチング T F T とは、前記絶縁基板上に一体形成され、

前記メモリ T F T の半導体活性層と前記スイッチング T F T の半導体活性層とは、連続的につながっており、

前記メモリ T F T の半導体活性層の厚さは、前記スイッチング T F T の半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリ。

【請求項 2】

前記メモリ T F T および前記スイッチング T F T の半導体活性層の厚さは、1 ～ 1 5 0 nm である請求項 1 に記載の不揮発性メモリ。

【請求項 3】

メモリ T F T とスイッチング T F T とから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、

前記メモリ T F T は、絶縁基板上に形成される半導体活性層と、第 1 の絶縁膜と、フローティングゲート電極と、第 2 の絶縁膜と、コントロールゲート電極と、を少なくとも備えており、前記スイッチング T F T は、前記絶縁基板上に形成される半導体活性層と、ゲート絶縁膜と、ゲート電極と、を少なくとも備えており、

前記メモリ T F T と前記スイッチング T F T とは、前記絶縁基板上に一体形成

され、

前記メモリ T F T の半導体活性層と前記スイッチング T F T の半導体活性層とは、連続的につながっており、

前記メモリ T F T の半導体活性層の厚さは、1 ～ 1 0 0 nm であり、前記スイッチング T F T の半導体活性層の厚さは、1 ～ 1 5 0 nm であることを特徴とする不揮発性メモリ。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、前記メモリ T F T の半導体活性層の厚さは 1 ～ 5 0 nm であり、前記スイッチング T F T の半導体活性層の厚さは 1 0 ～ 1 0 0 nm であることを特徴とする不揮発性メモリ。

【請求項 5】

請求項 4 において、前記メモリ T F T の半導体活性層の厚さは 1 0 ～ 4 0 nm であることを特徴とする不揮発性メモリ。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、前記メモリ T F T の半導体活性層は、前記スイッチング T F T の半導体活性層よりも、インパクトイオン化が起こりやすい厚さを有することを特徴とする不揮発性メモリ。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、前記メモリ T F T のコントロールゲート電極と半導体活性層との間に流れるトンネル電流は、前記スイッチング T F T のゲート電極と半導体活性層との間に流れるトンネル電流の 2 倍以上であることを特徴とする不揮発性メモリ。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記メモリ T F T 及び前記スイッチング T F T は、p チャネル型 T F T であることを特徴とする不揮発性メモリ。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項に記載の不揮発性メモリであって、前記メモリセルアレイに加えて、メモリセルの駆動回路を少なくとも備えており、

前記メモリセルアレイとメモリセルの駆動回路とは、前記絶縁基板上に一体形成されることを特徴とする不揮発性メモリ。

【請求項 1 0】

絶縁基板上に複数の画素 T F T がマトリクス状に配置された画素回路と、前記複数の画素 T F T を駆動する T F T で構成された駆動回路と、請求項 1 乃至請求項 9 のいずれか 1 項に記載の不揮発性メモリと、を少なくとも備えた半導体装置であって、

前記画素回路と前記駆動回路と前記不揮発性メモリとは、前記絶縁基板上に一体形成される半導体装置。

【請求項 1 1】

請求項 1 0 において、前記半導体装置とは、液晶表示装置、或いは E L 表示装置であることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 0 において、前記半導体装置とは、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、DVD プレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオであることを特徴とする半導体装置。

【請求項 1 3】

メモリ T F T とスイッチング T F T とから成るメモリセルがマトリクス状に配置されたメモリセルアレイを少なくとも備えた不揮発性メモリの作製方法であって、

絶縁基板上に第 1 の非晶質半導体層と、第 2 の非晶質半導体層とを形成する工程と、

前記第 1 の非晶質半導体層と、前記第 2 の非晶質半導体層とを結晶化させ、第 1 の膜厚を有する領域と第 2 の膜厚を有する領域とからなる結晶性半導体層を形成する工程と、

前記結晶性半導体層内において、前記第 1 の膜厚を有する領域を半導体活性層とするメモリ T F T を形成する工程と、

前記第 2 の膜厚を有する領域を半導体活性層とするスイッチング T F T を形成

する工程と、

を含む不揮発性メモリの作製方法であって、

前記第 1 の膜厚は、前記第 2 の膜厚よりも薄いことを特徴とする不揮発性メモリの作製方法。

【請求項 1 4】

前記メモリ T F T および前記スイッチング T F T の半導体活性層の厚さは、1 ～ 1 5 0 nm である請求項 1 3 に記載の不揮発性メモリの作製方法。

【請求項 1 5】

メモリ T F T とスイッチング T F T とから成るメモリセルがマトリクス状に配置されたメモリセルアレイを少なくとも備えた不揮発性メモリの作製方法であって、

絶縁基板上に第 1 の非晶質半導体層と、第 2 の非晶質半導体層とを形成する工程と、

前記第 1 の非晶質半導体層と、前記第 2 の非晶質半導体層とを結晶化させ、第 1 の膜厚を有する領域と第 2 の膜厚を有する領域とからなる結晶性半導体層を形成する工程と、

前記結晶性半導体層内において、前記第 1 の膜厚を有する領域を半導体活性層とするメモリ T F T を形成する工程と、

前記第 2 の膜厚を有する領域を半導体活性層とするスイッチング T F T を形成する工程と、

を含む不揮発性メモリの作製方法であって、

前記第 1 の膜厚は、1 ～ 1 0 0 nm であり、前記第 2 の膜厚は、1 ～ 1 5 0 nm であることを特徴とする不揮発性メモリの作製方法。

【請求項 1 6】

請求項 1 3 乃至請求項 1 5 のいずれか 1 項において、前記メモリ T F T の半導体活性層の厚さは 1 ～ 5 0 nm であり、前記スイッチング T F T の半導体活性層の厚さは 1 0 ～ 1 0 0 nm であることを特徴とする不揮発性メモリの作製方法。

【請求項 1 7】

請求項 1 6 において、前記メモリ T F T の半導体活性層の厚さは 1 0 ～ 4 0 nm

であることを特徴とする不揮発性メモリの作製方法。

【請求項 1 8】

請求項 1 3 乃至請求項 1 7 のいずれか 1 項において、前記メモリ T F T の半導体活性層は、前記スイッチング T F T の半導体活性層よりも、インパクトイオン化が起こりやすい厚さを有することを特徴とする不揮発性メモリの作製方法。

【請求項 1 9】

請求項 1 3 乃至請求項 1 8 のいずれか 1 項において、前記メモリ T F T のコントロールゲート電極と半導体活性層との間に流れるトンネル電流は、前記スイッチング T F T のゲート電極と半導体活性層との間に流れるトンネル電流の 2 倍以上であることを特徴とする不揮発性メモリの作製方法。

【請求項 2 0】

請求項 1 3 乃至請求項 1 9 のいずれか 1 項において、前記メモリ T F T 及び前記スイッチング T F T は、p チャネル型 T F T であることを特徴とする不揮発性メモリの作製方法。

【請求項 2 1】

請求項 1 3 乃至請求項 2 0 のいずれか 1 項に記載の不揮発性メモリの作製方法であって、

前記不揮発性メモリは、前記メモリセルアレイに加えて、メモリセルの駆動回路を少なくとも備えており、

前記メモリセルアレイとメモリセルの駆動回路とは、前記絶縁基板上に一体形成されることを特徴とする不揮発性メモリの作製方法。

【請求項 2 2】

請求項 1 3 乃至請求項 2 1 のいずれか 1 項に記載の不揮発性メモリの作製方法を用いる半導体装置の作製方法であって、

前記半導体装置は、画素部と、画素部の駆動回路と、前記不揮発性メモリの作製方法によって作製される不揮発性メモリと、を少なくとも備えており、

前記画素部と前記画素部の駆動回路と前記不揮発性メモリとは、絶縁基板上に一体形成されることを特徴とする半導体装置の作製方法。

【請求項 2 3】



請求項 2 2 において、前記半導体装置とは、液晶表示装置、或いは E L 表示装置であることを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 2 2 または請求項 2 3 において、前記半導体装置とは、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、DVD プレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本願発明は S O I (Silicon On Insulator) 技術を用いて形成される薄膜トランジスタ (以下 T F T という) で構成された不揮発性メモリおよびその作製方法に関する。特に、その駆動回路などの周辺回路と共に絶縁表面を有する基板上に一体形成された不揮発性メモリ、特に E E P R O M (Electrically Erasable and Programmable Read Only Memory) に関する。また、薄膜トランジスタ (T F T) で構成された任意の回路と共に絶縁表面を有する基板上に一体形成された不揮発性メモリを具備する半導体装置に関する。

【0 0 0 2】

なお、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、例えば、液晶表示装置および E L 表示装置に代表される電気光学装置および電気光学装置を搭載した電子機器をその範疇に含んでいる。

【0 0 0 3】

【従来の技術】

近年、急速に半導体装置の多機能化、高機能化かつ小型化が進んでおり、それに伴い、様々な半導体装置におけるメモリ使用頻度が増大してきている。そして、そのような需要を背景として、高性能、高記憶容量、高信頼性、かつ小型のメモリが要求されてきた。

【0 0 0 4】

現在、半導体装置の記憶装置としては、磁気ディスクやバルクシリコンで作製

された半導体不揮発性メモリが最もよく用いられている。

【0005】

磁気ディスクは、記憶容量に関しては、半導体装置に用いられる中で最も大きいものの一つであるが、小型化が困難で、かつ書き込み／読み出し速度が遅いという欠点がある。

【0006】

一方、半導体不揮発性メモリは、現在記憶容量に関しては磁気ディスクに劣るものの、その書き込み／読み出し速度は、磁気ディスクの数十倍である。また、半導体不揮発性メモリは、書き換え回数やデータ保持時間に関しても十分な性能を有するものが開発されてきている。このような背景から、最近半導体メモリを磁気ディスクの代替品として用いる動きが高まってきた。

【0007】

【発明が解決しようとする課題】

従来の半導体不揮発性メモリは、バルクシリコンを用いて作製され、パッケージに収められているため、このような半導体不揮発性メモリを半導体装置に搭載する場合、工程が増加し、かつそのパッケージサイズのために半導体装置の小型化に支障をきたしていた。

【0008】

本願発明は、上記の事情を鑑みてなされたものであり、他の半導体装置の部品と一体形成され得、小型化が可能な不揮発性メモリを提供することを課題とする。また、小型化が可能な、不揮発性メモリを具備する半導体装置を提供することを課題とする。

【0009】

【課題を解決するための手段】

上記課題を解決するための手段として、本願発明では、不揮発性メモリをSOI (Silicon On Insulator) 技術を用いて形成される薄膜トランジスタ (TFT) を用いて構成する。

【0010】

本願発明により、不揮発性メモリは、薄膜トランジスタ (TFT) で構成され

た任意の回路と共に絶縁基板上に一体形成が可能となる。特に、メモリセル、その駆動回路（代表的には、アドレスデコーダ）およびその他の周辺回路とを絶縁基板上に一体形成することにより、小型化が可能な不揮発性メモリを提供することが可能となる。またさらに、他の半導体装置を構成する、T F Tで構成された任意の回路と共に絶縁基板上に一体形成することにより、小型化が可能な、不揮発性メモリを備えた半導体装置を提供することが可能となる。

#### 【 0 0 1 1 】

具体的には、本願発明の不揮発性メモリは、メモリセルがマトリクス状に配置されたメモリセルアレイを有し、各メモリセルはメモリT F TとスイッチングT F Tとを含む。また、メモリセルの駆動回路およびその他の周辺回路を含んでもよい。

#### 【 0 0 1 2 】

本願発明においては、各メモリセルを構成するメモリT F TとスイッチングT F Tの半導体活性層は、連続的につながっている。言い換えると、各メモリセルが有するメモリT F TとスイッチングT F Tは、同じ半導体活性層上に形成される。このような構造をとることにより、各メモリセルを構成するメモリT F TとスイッチングT F Tとを別々の半導体活性層上に形成した場合と比べて、メモリセルの小面積化を図ることができる。

#### 【 0 0 1 3 】

また本願発明において、メモリT F Tの半導体活性層は、メモリセルの駆動回路やその他の周辺回路を構成するT F Tの半導体活性層の膜厚よりも薄く形成され、しかも、スイッチングT F Tの半導体活性層よりも薄く形成されるか、或は、膜厚が1～100nm（好ましくは1～50nm、より好ましくは10～40nm）となるように薄く形成される。このようにメモリT F Tの半導体活性層を薄く形成することにより、膜厚がより厚い場合と比べて、効率的な書き込みが可能となる。このことはまた、より低駆動電圧での書き込みが可能であることを意味し、同時に、より多い書き換え回数に耐え得る構造となる。

#### 【 0 0 1 4 】

また、本願発明の不揮発性メモリの作製工程には、絶縁基板上に第1の非晶質

半導体層と、第 2 の非晶質半導体層とを形成する工程と、2 つの非晶質半導体層を結晶化させ、第 1 の膜厚を有する領域と第 2 の膜厚を有する領域とからなる結晶性半導体層を形成する工程とが含まれる。

【0 0 1 5】

このように形成された、結晶性半導体層内において、第 1 の膜厚を有する領域を半導体活性層とするメモリ T F T を形成し、第 2 の膜厚を有する領域を半導体活性層とするスイッチング T F T を形成することにより、メモリ T F T とスイッチング T F T の半導体活性層が連続的につながったメモリセルを有する、不揮発性メモリを作製することが可能となる。さらに、第 1 の膜厚を有する領域を薄く形成することにより、あるいは、第 1 の膜厚を第 2 の膜厚より薄く形成することにより、本願発明の不揮発性メモリを作製することが可能となる。

【0 0 1 6】

以下に、本願発明の構成を示す。

【0 0 1 7】

メモリ T F T とスイッチング T F T とから成るメモリセルがマトリクス状に配置されたメモリセルアレイを少なくとも備えた不揮発性メモリであって、

前記メモリ T F T は、絶縁基板上に形成される半導体活性層と、第 1 の絶縁膜と、フローティングゲート電極と、第 2 の絶縁膜と、コントロールゲート電極と、を少なくとも備えており、前記スイッチング T F T は、前記絶縁基板上に形成される半導体活性層と、ゲート絶縁膜と、ゲート電極と、を少なくとも備えており、

前記メモリ T F T と前記スイッチング T F T とは、前記絶縁基板上に一体形成され、

前記メモリ T F T の半導体活性層と前記スイッチング T F T の半導体活性層とは、連続的につながっており、

前記メモリ T F T の半導体活性層の厚さは、前記スイッチング T F T の半導体活性層の厚さよりも薄いことを特徴とする不揮発性メモリが提供される。

【0 0 1 8】

前記メモリ T F T および前記スイッチング T F T の半導体活性層の厚さは、1

～150nmであることが好ましい。

【0019】

メモリTFETとスイッチングTFETとから成るメモリセルがマトリクス状に配置された不揮発性メモリであって、

前記メモリTFETは、絶縁基板上に形成される半導体活性層と、第1の絶縁膜と、フローティングゲート電極と、第2の絶縁膜と、コントロールゲート電極と、を少なくとも備えており、前記スイッチングTFETは、前記絶縁基板上に形成される半導体活性層と、ゲート絶縁膜と、ゲート電極と、を少なくとも備えており、

前記メモリTFETと前記スイッチングTFETとは、前記絶縁基板上に一体形成され、

前記メモリTFETの半導体活性層と前記スイッチングTFETの半導体活性層とは、連続的につながっており、

前記メモリTFETの半導体活性層の厚さは、1～100nmであり、前記スイッチングTFETの半導体活性層の厚さは、1～150nmであることを特徴とする不揮発性メモリが提供される。

【0020】

前記メモリTFETの半導体活性層の厚さは1～50nmであり、前記スイッチングTFETの半導体活性層の厚さは10～100nmであることが好ましい。

【0021】

前記メモリTFETの半導体活性層の厚さは10～40nmであることがより好ましい。

【0022】

前記メモリTFETの半導体活性層は、前記スイッチングTFETの半導体活性層よりも、インパクトイオン化が起こりやすい厚さを有することが好ましい。

【0023】

前記メモリTFETのコントロールゲート電極と半導体活性層との間に流れるトンネル電流は、前記スイッチングTFETのゲート電極と半導体活性層との間に流れるトンネル電流の2倍以上であることが好ましい。

【 0 0 2 4 】

前記メモリTF T及び前記スイッチングTF Tは、pチャネル型TF Tであることが好ましい。

【 0 0 2 5 】

前記メモリセルアレイに加えて、メモリセルの駆動回路を少なくとも備えており、前記メモリセルアレイとメモリセルの駆動回路とは、前記絶縁基板上に一体形成されることを特徴とする不揮発性メモリが提供される。

【 0 0 2 6 】

絶縁基板上に複数の画素TF Tがマトリクス状に配置された画素回路と、前記複数の画素TF Tを駆動するTF Tで構成された駆動回路と、前記不揮発性メモリと、を少なくとも備えた半導体装置であって、

前記画素回路と前記駆動回路と前記不揮発性メモリとは、前記絶縁基板上に一体形成される半導体装置が提供される。

【 0 0 2 7 】

前記半導体装置として、液晶表示装置、或いはE L表示装置等が提供される。

【 0 0 2 8 】

前記半導体装置として、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、DVDプレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオ等が提供される。

【 0 0 2 9 】

メモリTF TとスイッチングTF Tとから成るメモリセルがマトリクス状に配置されたメモリセルアレイを少なくとも備えた不揮発性メモリの作製方法であって、

絶縁基板上に第1の非晶質半導体層と、第2の非晶質半導体層とを形成する工程と、

前記第1の非晶質半導体層と、前記第2の非晶質半導体層とを結晶化させ、第1の膜厚を有する領域と第2の膜厚を有する領域とからなる結晶性半導体層を形成する工程と、

前記結晶性半導体層内において、前記第1の膜厚を有する領域を半導体活性層

とするメモリTFTを形成する工程と、前記第2の膜厚を有する領域を半導体活性層とするスイッチングTFTを形成する工程と、

を含む不揮発性メモリの作製方法であって、

前記第1の膜厚は、前記第2の膜厚よりも薄いことを特徴とする不揮発性メモリの作製方法が提供される。

【0030】

前記不揮発性メモリの作製方法において、前記メモリTFTおよび前記スイッチングTFTの半導体活性層の厚さは、1～150nmであることが好ましい。

【0031】

メモリTFTとスイッチングTFTとから成るメモリセルがマトリクス状に配置されたメモリセルアレイを少なくとも備えた不揮発性メモリの作製方法であって、

絶縁基板上に第1の非晶質半導体層と、第2の非晶質半導体層とを形成する工程と、

前記第1の非晶質半導体層と、前記第2の非晶質半導体層とを結晶化させ、第1の膜厚を有する領域と第2の膜厚を有する領域とからなる結晶性半導体層を形成する工程と、

前記結晶性半導体層内において、前記第1の膜厚を有する領域を半導体活性層とするメモリTFTを形成する工程と、

前記第2の膜厚を有する領域を半導体活性層とするスイッチングTFTを形成する工程と、

を含む不揮発性メモリの作製方法であって、

前記第1の膜厚は、1～100nmであり、前記第2の膜厚は、1～150nmであることを特徴とする不揮発性メモリの作製方法が提供される。

【0032】

前記不揮発性メモリの作製方法において、前記メモリTFTの半導体活性層の厚さは1～50nmであり、前記スイッチングTFTの半導体活性層の厚さは10～100nmであることが好ましい。

【0033】

前記不揮発性メモリの作製方法において、前記メモリTFTの半導体活性層の厚さは10～40nmであることがより好ましい。

【0034】

前記不揮発性メモリの作製方法において、前記メモリTFTの半導体活性層は、前記スイッチングTFTの半導体活性層よりも、インパクトイオン化が起こりやすい厚さを有することが好ましい。

【0035】

前記不揮発性メモリの作製方法において、前記メモリTFTのコントロールゲート電極と半導体活性層との間に流れるトンネル電流は、前記スイッチングTFTのゲート電極と半導体活性層との間に流れるトンネル電流の2倍以上であることが好ましい。

【0036】

前記不揮発性メモリの作製方法において、前記メモリTFT及び前記スイッチングTFTは、pチャネル型TFTであることが好ましい。

【0037】

前記不揮発性メモリは、前記メモリセルアレイに加えて、メモリセルの駆動回路を少なくとも備えており、前記メモリセルアレイとメモリセルの駆動回路とは、前記絶縁基板上に一体形成されることを特徴とする不揮発性メモリの作製方法が提供される。

【0038】

前期不揮発性メモリの作製方法を用いる半導体装置の作製方法であって、  
前記半導体装置は、画素部と、画素部の駆動回路と、前記不揮発性メモリの作製方法によって作製される不揮発性メモリと、を少なくとも備えており、  
前記画素部と前記画素部の駆動回路と前記不揮発性メモリとは、絶縁基板上に一体形成されることを特徴とする半導体装置の作製方法が提供される。

【0039】

前記半導体装置の作製方法として、液晶表示装置、或いはEL表示装置等の作製方法が提供される。

【0040】



前記半導体装置の作製方法として、ディスプレイ、ビデオカメラ、頭部取り付け型のディスプレイ、DVDプレーヤー、ヘッドマウントディスプレイ、パーソナルコンピュータ、携帯電話、カーオーディオで等の作製方法が提供される。

#### 【0041】

##### 【発明の実施の形態】

以下に、本願発明の不揮発性メモリの回路図及びその駆動方法を、 $m \times n$ ビットの場合について説明する。また、不揮発性メモリを構成するメモリセルの上面構造、及び断面構造についても、例を挙げて説明する。

#### 【0042】

また、本願発明の不揮発性メモリの作製方法についても簡単に説明する。なお、作製方法については実施例1及び2（実施例5、6及び7も参照）で詳しく説明する。

#### 【0043】

なお、本実施の形態における不揮発性メモリは、その駆動回路（本実施の形態では、アドレスデコーダ）、および他の周辺回路と共に、さらに場合によっては、半導体装置の他の部品と共に、絶縁基板上に一体形成される。また、本実施の形態では、不揮発性メモリとして、特にEEPROM (Electrically Erasable and Programmable Read Only Memory) について述べる。

#### 【0044】

図1に本願発明における $m \times n$ ビット不揮発性メモリの回路図を示す。本実施の形態において、 $m \times n$ ビット不揮発性メモリは、複数の電氣的消去可能なメモリTFT（メモリ素子、記憶素子） $T_{r1}$ 、複数のスイッチングTFT  $T_{r2}$ 、Xアドレスデコーダ101、Yアドレスデコーダ102、および他の周辺回路103、104によって構成される。他の周辺回路には、アドレスバッファ回路やコントロールロジック回路などが含まれ、必要に応じて設けられる。メモリTFT  $T_{r1}$ は、フローティングゲートを有するTFTであり、1ビットのデータが記録される。また、本願発明において、メモリTFT  $T_{r1}$ とスイッチングTFT  $T_{r2}$ とは、同じ導電型TFTであることが必要である。なお、メモリTFT  $T_{r1}$ とスイッチングTFT  $T_{r2}$ はnチャネル型またはpチャネル型のいずれ

の導電型TFTでも良いが、pチャネル型TFTであることが好ましい。

#### 【0045】

メモリTFTTr1のソース電極と、スイッチングTFTTr2のドレイン電極は電氣的に接続されており、この2個のTFTの直列接続回路によって1ビットのメモリセルが構成される。本実施の形態では、このメモリセルが縦m個×横n個のマトリクス状に配列されている（m、nはそれぞれ1以上の整数）。各メモリセルは1ビットの情報を記憶することができるので、本実施の形態の不揮発性メモリは、 $m \times n$ ビットの記憶容量を有する。

#### 【0046】

図1に示されるように、 $m \times n$ ビット不揮発性メモリを構成する各メモリセルには、 $(1, 1)$ 、 $(2, 1) \sim (n, m)$ という符号が付けられている。そして、各列に配置されているメモリセルは、 $A_1$ 、 $B_1 \sim A_n$ 、 $B_n$ という符号が付けられている信号線にその両端が接続されており、各行に配列されているメモリセルには、信号線 $C_1$ 、 $D_1 \sim C_m$ 、 $D_m$ が接続されている。具体的には、i番目の列に配置されている各メモリセル $(i, 1)$ 、 $(i, 2) \sim (i, m)$ が有するメモリTFTTr1のドレイン電極に信号線 $A_i$ が接続され、スイッチングTFTのソース電極に信号線 $B_i$ が接続されている（iは1以上n以下の整数）。また、j番目の行に配置されているメモリセル $(1, j)$ 、 $(2, j) \sim (n, j)$ が有するメモリTFTTr1のコントロールゲート電極に信号線 $C_j$ が接続され、スイッチングTFTTr1のゲート電極に信号線 $D_j$ が接続されている（jは1以上m以下の整数）。

#### 【0047】

各信号線 $A_1$ 、 $B_1 \sim A_n$ 、 $B_n$ 、および $C_1$ 、 $D_1 \sim C_m$ 、 $D_m$ は、それぞれXアドレスデコーダ101、およびYアドレスデコーダ102に接続されている。このXアドレスデコーダ101およびYアドレスデコーダ102によって、特定のメモリセルが指定され、データの書き込み、読み出し、および消去が行われる。

#### 【0048】

ここで、本実施の形態の不揮発性メモリの動作について、図1におけるメモリ

セル（１、１）を例にとって説明する。

【 0 0 4 9 】

まず、メモリTFTr1にデータを書き込む場合は、信号線D1を介して、スイッチングTFTr2をオンの状態にする。また、信号線A1とB1を介して、メモリTFTr1のドレイン電極とスイッチングTFTr2のソース電極の間に適度な電位差を与える。そして、信号線C1を介してメモリTFTr1コントロールゲートに正の高電圧（例えば20V）を印加するとメモリTFTr1のチャネル形成領域を移動するキャリア（この場合はホール）が加速され、弱いアバランシェ崩壊またはインパクトイオン化が起こり、多数の高エネルギー状態の電子（ホットエレクトロン）が発生する。そして、ホットエレクトロンはゲート絶縁膜のエネルギー障壁を乗り越え、フローティングゲート電極にトラップされる。このようにしてフローティングゲート電極に電荷が蓄積され、書き込みが行われる。メモリTFTr1のしきい値電圧は、フローティングゲート電極に蓄積された電荷量に依存して変化する。

【 0 0 5 0 】

メモリセルからデータを読み出す場合は、信号線D1を介してスイッチングTFTr2をオンの状態にし、信号線C1を介してメモリTFTr1のコントロールゲートに0Vを印加し、信号線B1を介してスイッチングTFTrのソースをGNDにおとすとよい。その結果、メモリTFTr1のフローティングゲート電極に電荷が蓄積されている場合と蓄積されていない場合とで、メモリTFTr1のしきい値電圧が異なることを反映し、メモリセルに記憶されているデータが信号線A1から読み出される。

【 0 0 5 1 】

次に、メモリTFTr1に記憶されているデータを消去する場合、信号線D1を介してスイッチングTFTr2をオンの状態にし、信号線B1介してスイッチングTFTrのソースをGNDにおとす。そして、信号線C1に負の高電圧（例えば-20V）を印加すると、フローティングゲート電極にトラップされている電子がトンネル電流によってドレイン領域へ注入される。その結果、記憶されていたデータが消去される。

## 【 0 0 5 2 】

表 1 に、上述した動作に基づいて、信号線 A 1、B 1、C 1 および D 1 に印加される電圧の具体例を示す。なお、メモリ T F T T r 1 とスイッチング T F T T r 2 はいずれも p チャンネル型 T F T であるとする。

## 【 0 0 5 3 】

【表 1】

	A 1 (V)	B 1 (V)	C 1 (V)	D 1 (V)
書き込み時	0 / - 5	GND	2 0	- 5
読み出し時	-	GND	0	- 5
消去時	-	GND	- 2 0	- 5

## 【 0 0 5 4 】

なお、表 1 に示した信号線に印加される電圧は、一例であって、表 1 の値に限られるわけではない。例えば、メモリ T F T に印加される電圧は、メモリ T F T の半導体活性層の膜厚やコントロールゲート電極とフローティングゲート電極との間の容量等に依存する。そしてメモリ T F T の動作電圧もそれによって変化する。

## 【 0 0 5 5 】

また、メモリ T F T T r 1 とスイッチング T F T T r 2 がいずれも n チャンネル型 T F T である場合は、例えば、信号線 D 1 に印加する電圧を全て + 5 V とすればよい。なお、メモリ T F T に n チャンネル型 T F T を用いた場合には、p チャンネル型 T F T を用いた場合よりも、書き込み時に大きな電流が流れ、劣化がはやい場合がある。従って、本実施の形態においては、メモリ T F T T r 1 は p チャンネル型であることが好ましい。

## 【 0 0 5 6 】

また、本実施の形態において、メモリ T F T の書き込み／消去を行う場合、メモリ T F T のコントロールゲート電極に一度に + 2 0 / - 2 0 V の電圧を印加するのではなく、これよりも低い電圧を複数回のパルスで印加してもよい。この場合、T F T の劣化をある程度抑えることが出来る。

## 【 0 0 5 7 】

次に、本願発明の不揮発性メモリを構成するメモリセルの上面構造、及び断面構造について、図 7 及び図 2 を用いて説明する。

## 【 0 0 5 8 】

まず、本願発明の不揮発性メモリを構成するメモリセルの上面図の一例を示す。図 7 には、4 つのメモリセル (1、1)、(1、2)、(2、1)、(2、2) (図 1 参照) を含む領域の上面図が示されている。

## 【 0 0 5 9 】

図 7 において、領域 7 0 1 ~ 7 0 4 は半導体活性層であり、メモリ T F T T r 1 およびスイッチング T F T T r 2 を同一の半導体活性層上に構成している。第 1 の配線層 7 1 1 ~ 7 1 4 のうち、配線 7 1 3、7 1 4 はスイッチング T F T T r 2 のゲート電極および信号線 C 1、C 2 として用いられ、また配線 7 1 1、7 1 2 は、信号線 D 1、D 2 として用いられる。なお、メモリ T F T T r 1 のフローティングゲート電極 7 1 5 ~ 7 1 8 は、第 1 の配線層 7 1 1 ~ 7 1 4 と同時に形成される。第 2 の配線層 7 3 1 ~ 7 3 8 のうち、配線 7 3 1、7 3 2 は、メモリ T F T T r 1 のソース領域に接続される信号線 A 1、A 2 として用いられ、配線 7 3 3、7 3 4 はスイッチング T F T T r 2 のドレイン領域に接続される信号線 B 1、B 2 として用いられる。また、配線 7 3 5 ~ 7 3 8 はメモリ T F T T r 1 のコントロールゲート電極 7 2 1 ~ 7 2 4 と信号線 D 1、D 2 とを接続する配線として用いられる。また、図中において、黒く塗りつぶされている部分は、その下部の配線あるいは半導体層とコンタクトをとっていることを示している。なお、図中において同一柄の配線は全て同一の配線層である。

## 【 0 0 6 0 】

次に、本願発明の不揮発性メモリを構成するメモリセルの断面図を示す。図 2 は、図 7 に示したメモリセルの断面構造 (例えばメモリセル (1、2) における A - A' の断面構造) を表したものである。

## 【 0 0 6 1 】

図 2 において、左側の T F T がメモリ T F T T r 1 であり、右側の T F T がスイッチング T F T T r 2 である。メモリ T F T T r 1 およびスイッチング T F T

Tr 2を形成する半導体活性層は、ソース・ドレイン領域201、202、203およびチャネル形成領域204、205を含む。絶縁膜206、210および207は、それぞれメモリTFTr 1の第1のゲート絶縁膜、第2のゲート絶縁膜およびスイッチングTFTr 2のゲート絶縁膜であり、電極208、211および209は、それぞれメモリTFTr 1のフローティングゲート電極、コントロールゲート電極およびスイッチングTFTr 2のゲート電極である。絶縁膜212は層間絶縁膜であり、配線213、214および215は、それぞれメモリTFTr 1のドレイン配線、スイッチングTFTr 2のソース配線、およびメモリTFTr 1のコントロールゲート配線である。

## 【0062】

図2（および図7）に示すように、本願発明においては、メモリTFTr 1の半導体活性層とスイッチングTFTr 2の半導体活性層は直接つながっている。言い換えると、メモリTFTr 1のソース領域とスイッチングTFTr 2のドレイン領域は、半導体活性層を共有することで、電氣的に接続されている。このような構造とすることで、メモリTFTr 1とスイッチングTFTr 2とを別々の半導体活性層上に形成する場合と比べて、大幅なメモリセルの小面積化が可能となり、その結果、不揮発性メモリ、および不揮発性メモリを備えた半導体装置の小型化が可能となる。

## 【0063】

また図2に示すように、メモリTFTr 1の半導体活性層（厚さd1）は、スイッチングTFTr 2の半導体活性層（厚さd2）よりも薄く形成されている。つまり、 $d1 < d2$ が成り立っている。このような構造にすることで、メモリTFTr 1の半導体活性層ではインパクトイオン化（impact ionization、インパクトイオナイゼーション、あるいは衝突電離）がより起こりやすくなり、その結果、メモリTFTr 1のフローティングゲート電極への電荷の注入が起こりやすくなる。なお、XおよびYアドレスデコーダ101、102を構成するTFTr および他の周辺回路を構成するTFTr の半導体活性層の厚さは、スイッチングTFTr 2の厚さd2と同様とすればよい。

## 【0064】

また、メモリTFTr1のソース領域202とフローティングゲート領域208はゲート絶縁膜206を介して一部重なっているが、この重なった領域が大きいと、メモリTFTr1の消去を行う際、より多くのトンネル電流が流れる。メモリTFTr1の半導体活性層に流れるトンネル電流は、スイッチングTFTr2の半導体活性層に流れるトンネル電流の2倍以上であることが好ましい。

## 【0065】

メモリセルの断面構造の例については、本実施の形態の他にも、実施例2を参照することができる。このように、本願発明においては、メモリTFTr1の半導体活性層は、アドレスデコーダやその他の周辺回路を構成するTFTrの半導体活性層、およびスイッチングTFTrの半導体活性層よりも薄く形成される。あるいは、本願発明において、メモリTFTr1の半導体活性層は、膜厚が1～100nm（好ましくは1～50nm、より好ましくは10～40nm）となるように薄く形成される。

## 【0066】

不揮発性メモリは、その書き換え回数と情報保持時間が重要である。そして書き換え回数を多く可能にするために、メモリTFTrのコントロールゲート電極に印加される電圧を小さくすることが要求される。本願発明の不揮発性メモリにおいては、上述したように、メモリTFTrの半導体活性層が薄く形成されるため、メモリTFTrにおいて、インパクトイオン化が起こりやすく、メモリTFTrの書き込み／消去を低電圧で行うことが出来る。このことは、メモリTFTrの書き込み／消去回数に対する劣化の減少につながる。これは、従来バルクシリコンで作製された不揮発性メモリでは、ゲート絶縁膜が比較的薄い為に、ゲート絶縁膜の劣化が生じていた事に対する革新的な解決方法である。さらに、従来のバルクシリコンでは、ゲート絶縁膜が薄いためフローティングゲート電極に蓄積されていたキャリアが、温度の上昇により流出してしまうということに対する解決方法でもある。

## 【0067】

次に、本願発明の不揮発性メモリの作製方法について簡単に説明する。なお、

詳しい作製方法については実施例 1 および実施例 2 を参照することができる。

【0068】

まず、絶縁基板上に第 1 の非晶質半導体層を形成しパターニングした後に、第 2 の非晶質半導体層とを形成する。そして、2 つの非晶質半導体層を結晶化させ、第 1 の膜厚を有する領域と第 2 の膜厚を有する領域とからなる結晶性半導体層を形成する。また、メモリセルの駆動回路および他の周辺回路を絶縁基板上に一体形成する場合は、第 2 の膜厚を有する結晶性半導体層を同時に形成する。

【0069】

なお、本願明細書において非晶質半導体膜とは、非晶質構造を含む半導体膜全体を指し、いわゆる非晶質半導体膜および微結晶半導体膜を含む。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を用いても良い。

【0070】

また、本願明細書において結晶性半導体層とは、結晶構造を含む半導体層全体を指し、いわゆる単結晶半導体膜も多結晶半導体膜も含まれる。また、特に結晶性の優れた多結晶半導体膜として特開平 1 0 - 2 4 7 7 3 5 号公報記載の技術によって作製される、棒状結晶が集まって並んだ結晶構造でなる半導体膜（実施例 1 参照）を含む。

【0071】

その後、第 1 の膜厚を有する領域を半導体活性層とするメモリ T F T を形成し、第 2 の膜厚を有する領域を半導体活性層とするスイッチング T F T を形成することにより、T F T とスイッチング T F T の半導体活性層が連続的につながったメモリセルを有する、不揮発性メモリを作製することが可能となる。また、第 2 の膜厚を有する結晶性半導体層を半導体活性層とする C M O S 回路を形成することにより、同時にメモリセルの駆動回路および他の周辺回路を形成することが可能となる。

【0072】

もちろん、第 1 の膜厚と第 2 の膜厚とは、装置の許す範囲内で自由に設定することが可能であり、第 1 の膜厚を第 2 の膜厚より薄く形成することにより、ある



いは、第1の膜厚を1～100nm（好ましくは1～50nm、より好ましくは10～40nm）となるように薄く形成することにより、本願発明の不揮発性メモリを作製することが可能となる。

#### 【0073】

そして、上記の不揮発性メモリの作製方法によって、本発明の不揮発性メモリは、薄膜技術を用いて作製され得るいかなる半導体装置の部品とも一体形成され得る。

#### 【0074】

また、実施例1に示す作製方法を用いると、高特性を示すTF Tを作製することが可能である。その結果、移動度、しきい値電圧等において高特性を示すTF Tが要求される周辺回路および半導体装置の部品と一体形することにより、多様な不揮発性メモリ、及び不揮発性メモリを備えた半導体装置を実現することが可能となる。

#### 【0075】

##### 【実施例】

##### （実施例1）

本実施例では、本願発明を用いた、不揮発性メモリの作製方法を図3～図6を用いて説明する。なお、図3～図6には、本実施例の不揮発性メモリを構成するTF Tとして、メモリセルを構成するメモリTF T（pチャネル型TF T）およびスイッチングTF T（pチャネル型TF T）、ならびにアドレスデコーダやその他の周辺回路を構成する回路として代表的なCMOS回路を構成する2つのTF T（pチャネル型TF Tおよびnチャネル型TF T）を例にとって説明する。

#### 【0076】

また、以下に示す不揮発性メモリの作製方法によると、本発明の不揮発性メモリは、薄膜技術を用いて作製され得るいかなる半導体装置の部品とも、一体形成され得ることが理解される。

#### 【0077】

なお、メモリセル、アドレスデコーダおよびその他のTF Tで構成される回路を同じ絶縁基板上に有する不揮発性メモリおよび半導体装置を実現するためには

、移動度、しきい値電圧等において高特性を有するTFTが要求される。特に、従来よく用いられている非晶質珪素の半導体活性層を備えたTFTだけでは十分ではない。以下の作製方法によると、高特性のTFTを作製することができ、本願発明の不揮発性メモリおよび半導体装置を実現することが可能となる。

## 【0078】

図3を参照する。まず、絶縁表面を有する基板として石英基板301を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板を用いても良い。

## 【0079】

次に、厚さ25nmの非晶質珪素膜302を公知の成膜法で形成する(図3(A))。なお、非晶質珪素膜に限定する必要はなく、非晶質半導体膜(微結晶半導体膜、および非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を含む)であれば良い。

## 【0080】

次に、レジスト膜を形成し、パターニングすることによってマスク311を形成する(図3(B))。その後、非晶質珪素膜302をエッチングし、基板上に部分的に形成された非晶質珪素膜321を形成する(図3(C))。なお、非晶質珪素膜321のエッチングには、ドライエッチングあるいはウェットエッチングのいずれを行ってもよい。ドライエッチングの場合には、例えば $\text{CF}_4 + \text{O}_2$ を用いるとよく、ウェットエッチングの場合には、フッ素酸+硝酸等のエッチング液を用いるとよい。

## 【0081】

次に、再び上述した方法で非晶質珪素膜を厚さ50nmに形成し、図3(D)に示すような非晶質珪素膜331、332を形成する。ここでは、最終的な膜厚が、非晶質珪素膜331は50nm、かつ非晶質珪素膜332が75nmとなるように調節した。なお、ここでも非晶質珪素膜に限定する必要はなく、非晶質半導体膜(微結晶半導体膜、および非晶質シリコンゲルマニウム膜などの非晶質構造を含

む化合物半導体膜を含む)であれば良い。

【0082】

なお、2度目の非晶質珪素膜の形成の前には、非晶質珪素膜321および石英基板301の表面を清浄化しておくことが望ましい。

【0083】

また、非晶質珪素膜331、332の形成にあたっては、別の方法を用いてもよい。例えば、上述した方法によって非晶質珪素膜を全体に75nmに形成し、部分的にマスクを形成し、上述したエッチングによって部分的に膜厚を減少させた非晶質珪素膜を得ることもできる。

【0084】

なお、非晶質珪素膜331は、後にメモリTF Tの半導体活性層となり、非晶質珪素膜332は、後にスイッチングTF Tおよび周辺のCMOS回路等の半導体活性層となる。

【0085】

なお、最終的な半導体活性層の厚さが150nm以上、特に200nm以上の場合には、SOI特有のインパクトイオン化の発生がきわめて少なく、バルクシリコンを用いた不揮発性メモリで発生するケースと殆ど変わらなくなってしまう。よってSOI技術による不揮発性メモリの特性を引き出すことができない。このため、本発明においては、最終的な半導体活性層の厚さは、共に1～150nmであることが好ましい。

【0086】

また、本実施例では、上述したようにメモリTF Tの非晶質珪素膜331の最終的な膜厚を50nm、スイッチングTF Tおよび周辺のCMOS回路等の非晶質珪素膜332の最終的な膜厚を75nmとしたが、それぞれ1～100nm（好ましくは1～50nm、さらに好ましくは10～40nm）、1～150nm（好ましくは10～100nm）の範囲に形成すればよく、本実施例の膜厚に限定されるわけではない。

【0087】

次に、非晶質珪素膜331、332の結晶化工程を行う。ここから図4（B）

までの工程は本出願人による特開平 1 0 - 2 4 7 7 3 5 号公報を完全に引用することができる。同公報では N i 等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

#### 【 0 0 8 8 】

まず、開口部 4 0 4、4 0 5 を有する保護膜 4 0 0 ~ 4 0 2 を形成する。本実施例では 1 5 0 nm 厚の酸化珪素膜を用いる。そして、保護膜 4 0 0 ~ 4 0 2 の上にスピコート法によりニッケル ( N i ) を含有する層 ( N i 含有層 ) 4 0 3 を形成する。この N i 含有層の形成に関しては、前記公報を参考にすれば良い ( 図 4 ( A ) ) 。

#### 【 0 0 8 9 】

なお、触媒元素としてはニッケル以外にも、コバルト ( C o )、鉄 ( F e )、パラジウム ( P d )、白金 ( P t )、銅 ( C u )、金 ( A u )、ゲルマニウム ( G e )、鉛 ( P b )、インジウム ( I n ) 等を用いることができる。

#### 【 0 0 9 0 】

また、上記触媒元素の添加工程はスピコート法に限らず、レジストマスクを利用したイオン注入法、プラズマドーピング法またはスパッタ法を用いることもできる。この場合、添加領域の占有面積の低減、結晶成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

#### 【 0 0 9 1 】

次に、図 4 ( B ) に示すように、不活性雰囲気中で 5 7 0 ℃、1 4 時間の加熱処理を加え、非晶質珪素膜 3 3 1、3 3 2 の結晶化を行う。この際、N i が接した領域 ( 以下、N i 添加領域という ) 4 1 1、4 1 2 を起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなる結晶性珪素膜 4 1 3 が形成される。結晶性珪素膜 4 1 3 は、個々の結晶が比較的揃った状態で集合しているため、全体的な結晶性に優れるという利点がある。なお、加熱処理温度は、好ましくは 5 0 0 ~ 7 0 0 ℃ ( 代表的には 5 5 0 ~ 6 5 0 ℃ ) とし、処理時間は、好ましくは 4 ~ 2 4 時間とすればよい。

#### 【 0 0 9 2 】

次に、図 4 ( C ) に示すように、保護膜 4 0 0 ~ 4 0 2 をそのままマスクとし

て 1 5 族に属する元素（好ましくはリン）を N i 添加領域 4 1 1、4 1 2 に添加する。こうして高濃度にリンが添加された領域（以下、リン添加領域という）4 2 1、4 2 2 が形成される。

## 【 0 0 9 3 】

次に、図 4（C）に示すように、不活性雰囲気中で 6 0 0℃、1 2 時間の加熱処理を加える。この熱処理により結晶性珪素膜 4 2 3 中に存在する N i は移動し、最終的には殆ど全て矢印が示すようにリン添加領域 4 2 1、4 2 2 に捕獲されてしまう。これはリンによる金属元素（本実施例では N i）のゲッタリング効果による現象であると考えられる。

## 【 0 0 9 4 】

この工程により結晶性珪素膜 4 2 3 中に残る N i の濃度は S I M S（質量二次イオン分析）による測定値で少なくとも  $2 \times 10^{17} \text{ atoms/cm}^3$  にまで低減される。N i は半導体にとってライフタイムキラーであるが、この程度まで低減されると T F T 特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状の S I M S 分析の測定限界であるので、実際にはさらに低い濃度（ $2 \times 10^{17} \text{ atoms/cm}^3$  以下）であると考えられる。

## 【 0 0 9 5 】

こうして触媒を用いて結晶化され、且つ、その触媒が T F T の動作に支障を与えないレベルにまで低減された結晶性珪素膜 4 2 3 が得られる。その後、保護膜 4 0 0 ~ 4 0 2 を除去し、リン添加領域 4 2 1、4 2 2 を含まない、結晶性珪素膜 4 2 3 のみを用いた島状半導体層（活性層）4 3 1 ~ 4 3 3 をパターンニング工程により形成する。この時、島状半導体活性層 4 3 1 は非晶質珪素膜 3 3 1、3 3 2 を結晶化して得られる厚さの異なる 2 つの活性領域を含むようにする（図 4（D））。なお、島状半導体活性層 4 3 1 のうち、非晶質珪素膜 3 3 1 を結晶化して得られる薄い活性領域は、メモリ T F T の半導体活性層となり、非晶質珪素膜 3 3 2 を結晶化して得られる厚い活性領域は、スイッチング T F T の半導体活性層となる。またこの時、後のパターンニングにおいてマスク合わせを行うためのマーカー（図示せず）を、上記結晶性珪素膜を用いて形成すると良い。

## 【 0 0 9 6 】

次に、島状半導体活性層 4 3 1 のうち、後にメモリ T F T のソース領域となる領域 5 0 3 以外をレジストマスクで覆い、p 型を付与する不純物元素（p 型不純物元素ともいう）の添加を行う（図 5（A））。本実施例では、ボロン（B）を不純物元素として用い、不純物添加時の加速電圧は、1 0 keV 程度とする。この工程により形成される p 型不純物領域 5 0 3 には、p 型不純物元素が  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には  $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。また、p 型不純物元素としては、ボロン（B）の他に、ガリウム（Ga）、インジウム（In）などを用いてもよい。なお、この工程により形成される p 型不純物領域 5 0 3 は、後に形成されるメモリ T F T のフローティングゲート電極の一部と、ゲート絶縁膜を介して重なる領域を有するように形成すればよい。よって、レジストマスクで覆われる領域は、本実施例（図 5（A））に限定されるわけではなく、島状半導体活性層 4 3 1 のうちの少なくとも、後にメモリ T F T 及びスイッチング T F T のチャネル形成領域となる領域、および島状半導体活性層 4 3 2、4 3 3 を含めばよい。

## 【 0 0 9 7 】

その結果、島状半導体活性層 4 3 1 のうち、後にメモリ T F T のソース領域となる領域 5 0 3 が形成される。島状半導体活性層 4 3 1 の残りの領域および、島状半導体活性層 4 3 2、4 3 3 は、レジストマスク 5 0 1、5 0 2 で覆われているので、不純物は添加されない。

## 【 0 0 9 8 】

その後、レジストマスク 5 0 1、5 0 2 を除去し、珪素を含む絶縁膜でなるゲート絶縁膜 5 1 1 を形成する（図 5（B））。ゲート絶縁膜 5 1 1 の膜厚は後の熱酸化工程による増加分も考慮して 1 0 ～ 2 5 0 nm の範囲で調節すれば良い。なお、メモリ T F T の島状半導体活性層のゲート絶縁膜の厚さを 1 0 ～ 5 0 nm とし、他のゲート絶縁膜の厚さを 5 0 ～ 2 5 0 nm としてもよい。また、成膜方法は公知の気相法（プラズマ C V D 法、スパッタ法等）を用いれば良い。本実施例では、5 0 nm 厚の窒化酸化シリコン膜をプラズマ C V D 法により形成する。

## 【 0 0 9 9 】

次に、酸化雰囲気中で 9 5 0 ℃、1 時間の加熱処理を加え、熱酸化工程を行う

。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、熱酸化膜の分だけゲート絶縁膜 5 1 1 の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体／絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

#### 【0 1 0 0】

次に、2 0 0 ～ 4 0 0 nm の導電膜を形成し、パターニングを行いゲート電極 5 2 1 ～ 5 2 4 を形成する（図 5（C））。このゲート電極 5 2 1 ～ 5 2 4 の線幅によって CMOS 回路を構成する 2 つの TFT 及びスイッチング TFT のチャネル長が決定する。またこの時、メモリ TFT のゲート電極 5 2 1（後にフローティングゲート電極となる）は、p 型不純物領域 5 0 3 とゲート絶縁膜 5 1 1 を介して一部重なるように形成する。この重なった領域は、メモリ TFT が消去を行うときに流れるトンネル電流を十分に確保するための領域である。

#### 【0 1 0 1】

なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物でなる膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的には Mo-W 合金、Mo-Ta 合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。

#### 【0 1 0 2】

本実施例では、5 0 nm 厚の窒化タングステン（WN）膜と、3 5 0 nm 厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン（Xe）、ネオン（Ne）等の不活性ガスを添加すると応力による膜はがれを防止することができる。

## 【 0 1 0 3 】

次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としては n 型ならばリン (P) または砒素 (As)、p 型ならばボロン (B)、ガリウム (Ga) またはインジウム (In) などを用いれば良い。

## 【 0 1 0 4 】

まず、図 5 (D) に示すように、ゲート電極 5 2 1 ~ 5 2 4 をマスクとして自己整合的に n 型不純物元素 (本実施例ではリン) を添加し、低濃度不純物領域 (n-領域) を形成する。この低濃度不純物領域は、リンの濃度が  $1 \times 10^{17} \text{atoms/cm}^3 \sim 1 \times 10^{19} \text{atoms/cm}^3$  となるように調節する。また、加速電圧は 8 0 keV 程度とすればよい。

## 【 0 1 0 5 】

次にゲート電極 5 2 1 ~ 5 2 4 をマスクとしてゲート絶縁膜 5 1 1 をドライエッチング法によりエッチングし、6 0 1 ~ 6 0 4 にパターンニングする (図 6 (A) ) ) 。

## 【 0 1 0 6 】

次に、図 6 (A) に示すように、p チャネル型 T F T の全体、および n チャネル型 T F T の一部を覆う形でレジストマスク 6 0 5、6 0 6 を形成し、n 型不純物元素を添加して高濃度にリンを含む不純物領域 6 0 7、6 0 8 を形成する。この時、n 型不純物元素の濃度は  $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$  (代表的には  $2 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ) となるように調節する。本実施例では、リン (P) を不純物元素として用い、不純物添加時の加速電圧は、1 0 keV 程度とする。

## 【 0 1 0 7 】

この工程によって n チャネル型 T F T のソース・ドレイン領域 6 0 7、6 0 8 が形成される。特に、n チャネル型 T F T は、図 5 (D) の工程で形成した低濃度不純物領域 (n-領域) 5 3 6 の一部が残る。この残された領域が、n チャネル型 T F T の L D D 領域となる。よって、n チャネル型 T F T のソース・ドレイン領域 6 0 7、6 0 8、L D D 領域 6 0 9、およびチャネル形成領域 6 1 0 が形成される。



## 【0108】

次に、図6（B）に示すように、レジストマスク605、606を除去し、新たにレジストマスク617を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域611～615を形成する。ここではジボラン（ $B_2H_6$ ）を用いたイオンドーブ法により $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）の濃度となるようにボロンを添加する。

## 【0109】

こうしてpチャネル型TFTのソース・ドレイン領域611～616（フローティングゲート電極と、ゲート絶縁膜を介して一部重なるソース領域を含む）、およびチャネル形成領域618～620が形成される（図6（B））。

## 【0110】

次に、図6（C）に示すように、レジストマスク617を除去した後、珪素を含む絶縁膜621を形成する（図6（C））。この絶縁膜621は、メモリTFTにおいて、フローティングゲート電極とコントロールゲート電極の間のゲート絶縁膜となる。絶縁膜621の膜厚は10～250nmとすれば良い。また、成膜方法は公知の気相法（プラズマCVD法、スパッタ法等）を用いれば良い。なお、本実施例では、50nm厚の窒化酸化珪素膜をプラズマCVD法により形成する。

## 【0111】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンেসアニール、レーザーアニール、ランプアニール等を組み合わせるとよい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。またこの時、添加工程で受けた活性層の損傷も修復される。活性化手段としては、ファーンেসアニール法が好ましい。

## 【0112】

次に、200～400nmの導電膜を形成し、パターニングを行いコントロールゲート電極622を形成する（図5（D））。コントロールゲート電極622は、絶縁膜621を介してフローティングゲート電極の一部または全体と重なるよ

うに形成する。

【0113】

なお、コントロールゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素でなる膜、または前記元素の窒化物でなる膜、または前記元素を組み合わせた合金膜、または前記元素のシリサイド膜を用いることができる。

【0114】

本実施例では、50nm厚の窒化タングステン (WN) 膜と、350nm厚のタングステン (W) 膜とでなる積層膜をスパッタ法で形成する。スパッタガスとしてキセノン (Xe)、ネオン (Ne) 等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0115】

次に、層間絶縁膜 631 を形成する。層間絶縁膜 631 としては珪素を含む絶縁膜、有機性樹脂膜、或いはその中で組み合わせた積層膜を用れば良い。また、膜厚は400nm～1.5mmとすれば良い。本実施例では、500nm厚の窒化酸化珪素膜とする。

【0116】

次に、図6(D)に示すように、層間絶縁膜 631、及び絶縁膜 621 に対してコンタクトホールを形成し、ソース・ドレイン配線 632～636 及びコントロールゲート配線 637 を形成する。なお、本実施例ではこの電極を、Ti 膜を100nm、Ti を含むアルミニウム膜を300nm、Ti 膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0117】

最後に、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。本実施例では、350℃の水

素雰囲気中で2時間の熱処理を行い水素化処理を行う。また、水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。また、水素化処理はコンタクトホールを形成する前に行っても良い。

#### 【0118】

以上の工程によって、図6（D）に示す様な構造のTFTを作製することができる。

#### 【0119】

##### （実施例2）

本実施例では、逆スタガー型のTFTによって不揮発性メモリを構成する場合について図9～図11を用いて説明する。なお、図9～図11には、本実施例の不揮発性メモリを構成するTFTとして、メモリセルを構成するメモリTFT（pチャネル型TFT）およびスイッチングTFT（pチャネル型TFT）、ならびにアドレスデコーダやその他の周辺回路を構成する回路として代表的なCMOS回路を構成する2つのTFT（pチャネル型TFTおよびnチャネル型TFT）を例にとって説明する。

#### 【0120】

図9を参照する。まず、ガラス基板901上に酸化珪素膜でなる下地膜902を設け、その上にゲート電極903～906を形成する。ゲート電極903は、後にメモリTFTのコントロールゲート電極になり、ゲート電極904は、後にスイッチングTFTのゲート電極となる。本実施例では、ゲート電極903～906として200～400nmの厚さのクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

#### 【0121】

次に、ゲート電極903～906上にゲート絶縁膜907を100～200nmの厚さに形成する。ゲート絶縁膜907としては、酸化珪素膜、窒化珪素膜、酸化珪素膜と窒化珪素膜との積層膜等を用いる。

#### 【0122】

また、このメモリTFT側のゲート絶縁膜は、次の工程で形成するフローティ

ングゲート電極とコントロールゲート電極との間の容量を規定するものであり、その膜厚を変えることによりフローティングゲート電極に印加される電圧を調整することが可能である。よって、ゲート絶縁膜 9 0 7 の厚さは、上記の範囲に限られるわけではなく、また、部分的に膜厚を変えてもよい。

## 【 0 1 2 3 】

次に、フローティングゲート電極 9 1 1 を形成する（図 9（B））。本実施例では、フローティングゲート電極としてクロム膜を使用するが、アルミニウム合金、タンタル、タングステン、モリブデン、導電性を付与した珪素膜等を用いてもよい。

## 【 0 1 2 4 】

次に、絶縁膜 9 1 2 を 1 0 ～ 5 0 nm の厚さに形成する。絶縁膜 9 1 2 としては、酸化珪素膜、窒化珪素膜、酸化珪素膜と窒化珪素膜との積層膜等を用いる。

## 【 0 1 2 5 】

次に、非晶質珪素膜 9 2 1、9 2 2 を実施例 1 の図 3（A）～（D）に示した方法によって形成する（図 9（C））。なお、本実施例では、メモリ T F T の非晶質珪素膜 9 2 1 の最終的な膜厚を 5 0 nm、スイッチング T F T の非晶質珪素膜 9 2 2 の最終的な膜厚を 7 5 nm としたが、それぞれ 1 ～ 1 0 0 nm（好ましくは 1 ～ 5 0 nm、より好ましくは 1 0 ～ 4 0 nm）、1 ～ 1 5 0 nm（好ましくは 1 0 ～ 1 0 0 nm）の範囲に形成すればよく、本実施例の膜厚に限定されるわけではない。また、アドレスデコーダや周辺回路を構成する T F T の非晶質珪素膜の膜厚は、スイッチング T F T と同じ膜厚とする。

## 【 0 1 2 6 】

また、非晶質珪素膜に限定する必要はなく、非晶質半導体膜（微結晶半導体膜、および非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を含む）であれば良い。

## 【 0 1 2 7 】

次に、非晶質珪素膜 9 2 1、9 2 2 をレーザー光あるいはレーザー光と同等の強度を持つ強光の照射を行い、非晶質珪素膜の結晶化を行う（図 9（D））。レーザー光としては、エキシマレーザー光が好ましい。エキシマレーザーとしては

、K r F、A r F、X e C l を光源としたパルスレーザを利用すればよい。

【0 1 2 8】

また、レーザー光と同等の強度を持つ強光としては、ハロゲンランプまたはメタルハライドランプからの強光、赤外光または紫外光ランプからの強光を利用することができる。

【0 1 2 9】

本実施例では、線状に加工されたエキシマレーザー光を基板の一端から他端へ走査し、非晶質珪素膜の全面を結晶化する。この時、レーザー光のスウィープ速度は1. 2 mm/s、処理温度は室温、パルス周波数は3 0 Hz、レーザーエネルギーは3 0 0 ~ 3 1 5 mJ/cm<sup>2</sup>とする。この工程によって結晶性珪素膜が得られる。

【0 1 3 0】

なお、本実施例の非晶質半導体膜の結晶化法として、実施例1で用いられた結晶化方法を用いても良い。また逆に、実施例1の非晶質半導体膜の結晶化法として、本実施例の結晶化方法を用いることも可能である。

【0 1 3 1】

次に図10を参照する。まず、結晶性珪素膜をパターンニングして、活性層1001~1003を形成する(図10(A))。

【0 1 3 2】

次に、一導電性を付与する不純物元素の添加を行う。不純物元素としてはn型ならばリン(P)または砒素(As)、p型ならばボロン(B)、ガリウム(Ga)またはインジウム(In)などを用いれば良い。

【0 1 3 3】

最初にレジストマスク1011~1014を形成し、p型を付与する不純物元素(p型不純物元素ともいう)の添加を行う(図10(B))。その結果、pチャネル型TFTのソース領域・ドレイン領域1015~1019及びチャネル形成領域1020~1022が形成される。なお、本実施例では、p型不純物元素としてボロンを用い、ボロン濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>(代表的には $2 \times 10^{20} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>)となるように調節する。

【0 1 3 4】

次に、レジストマスク 1 0 1 1 ~ 1 0 1 4 を除去し、レジストマスク 1 0 3 1 および 1 0 3 2 を形成する。そして、n 型不純物元素（本実施例ではリンを用いる。）を添加して、 $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度の低濃度不純物領域 1 0 3 3、および 1 0 3 4 を形成する（図 1 0 (C)）。

#### 【0 1 3 5】

次に、レジストマスク 1 0 3 1 および 1 0 3 2 を除去し、レジストマスク 1 0 4 1 および 1 0 4 2 を形成する。そして、再び n 型不純物元素を図 1 0 (C) の工程よりも高濃度 ( $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ) に添加して N 型 T F T のソース・ドレイン領域 1 0 4 3 および 1 0 4 4 を形成する。なお、領域 1 0 4 5 は低濃度不純物領域、領域 1 0 4 6 はチャネル形成領域である（図 1 0 (D)）。

#### 【0 1 3 6】

次に、レジストマスク 1 0 4 1 および 1 0 4 2 を除去した後、エキシマレーザー光を照射する（レーザーアニール）ことによって、不純物元素注入時のダメージの回復と添加した不純物の活性化を行う（図 1 1 (A)）。

#### 【0 1 3 7】

レーザーアニールが終了したら、層間絶縁膜 1 1 1 1 を 3 0 0 ~ 5 0 0 nm に形成する（図 1 1 (B)）。層間絶縁膜 1 1 1 1 は、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜、有機性樹脂、あるいはそれらの積層膜によって構成される。

#### 【0 1 3 8】

次に、層間絶縁膜 1 1 1 1 にコンタクトホールを形成し、金属薄膜で成るソース・ドレイン電極 1 1 1 2 ~ 1 1 1 6 形成する。この金属薄膜としては、アルミニウム、タンタル、チタン、タングステン、モリブデン、またはそれらの積層膜を用いればよい（図 1 1 (B)）。

#### 【0 1 3 9】

最後に、全体に対して水素雰囲気中、3 5 0 °C で 2 時間程度の加熱処理を行い、膜中（特にチャネル形成領域）の不對結合手を水素終端する。以上の工程によって図 1 1 (B) に示すような構造の T F T を作製することができる。

#### 【0 1 4 0】

## (実施例 3)

図 2 に示したメモリセルの断面図では、メモリ T F T の半導体活性層（厚さ  $d_1$ ）は、スイッチング T F T の半導体活性層（厚さ  $d_2$ ）よりも薄い構造として  
いるが、本願発明は、この構造に限定されない。特に、メモリ T F T の半導体活  
性層とスイッチング T F T の半導体活性層は同じ厚さであっても構わない。

## 【0 1 4 1】

なお、メモリ T F T の半導体活性層は  $1 \sim 100 \text{ nm}$ （好ましくは  $1 \sim 50 \text{ nm}$ 、  
より好ましくは  $10 \sim 40 \text{ nm}$ ）、スイッチング T F T の半導体活性層は  $1 \sim 150 \text{ nm}$ （好ましくは  $10 \sim 100 \text{ nm}$ ）の範囲に形成されればよい。この場合、メモ  
リセルの駆動回路および他の周辺回路を構成する T F T の半導体活性層は、回路  
の駆動周波数が低下しない程度の厚さを有することが好ましく、メモリ T F T お  
よびスイッチング T F T の半導体活性層よりも厚い構造とすることが好ましい。

## 【0 1 4 2】

このような構造をとることによって、異なる膜厚を有する 2 つの領域からなる  
半導体活性層を形成する必要がなくなり、より微細な半導体活性層を形成するこ  
とが可能となる。従って、このような構造は、メモリ T F T およびスイッチング  
T F T の微細化を行う際に有用である。

## 【0 1 4 3】

なお、この場合、不揮発性メモリの作製工程において、異なる膜厚を有する 2  
つの領域からなる半導体活性層を形成する工程は、膜厚  $d_1$  を有する結晶性半導  
体層を形成する工程に簡単化される。そして、メモリ T F T およびスイッチング  
T F T は、膜厚  $d_1$  を有する結晶性半導体層を半導体活性層として形成する。ま  
た、メモリセルの駆動回路および他の周辺回路を同時形成する場合は、膜厚  $d_2$   
（ $d_2 > d_1$  である）を有する結晶性半導体層を形成する工程を加える。そして  
、メモリセルの駆動回路および他の周辺回路を構成する T F T は、膜厚  $d_2$  を有  
する結晶性半導体層を半導体活性層として形成するとよい。上記以外の作製工程  
は全て他の実施例 1 および実施例 2 に基づいて行うことができる。

## 【0 1 4 4】

## (実施例 4)

本実施例では、図 1 に示した不揮発性メモリにおけるメモリセルの回路図とは異なる例を図 8 を用いて説明する。図 8 は、メモリセルをマトリクス状に配置したメモリセルアレイのうち、同じ行に配置された、となりあうメモリセルの回路図である。図 8 では、2 つのとなりあうメモリセルで、スイッチング T F T のソース電極に接続する信号線（信号線 B と呼ぶ）を共有した構造となっている。

#### 【 0 1 4 5 】

具体的には、信号線 A および A' はそれぞれ左右のメモリ T F T T r 1 のドレイン電極に接続されており、信号線 B はスイッチング T F T T r 2 および T r 2' のソース電極に接続されている。また、信号線 C はメモリ T F T T r 1、T r 1' のコントロールゲート電極に接続され、信号線 D はスイッチング T F T T r 2、T r 2' のゲート電極に接続されている。そして、2 つのメモリセル内では、信号線 B に対して左右対称にメモリ T F T とスイッチング T F T が設けられた構造となっている。

#### 【 0 1 4 6 】

このような構造をとることにより、図 1 に示した構成と比べて、信号線 B の数を減らすことができ、メモリセルをより高密度に配置することが可能となる。その結果、不揮発性メモリの小型化あるいは大容量化が可能となる。

#### 【 0 1 4 7 】

なお、本実施例は、実施例 1 ～ 3 のいずれの構成とも組み合わせることが可能である。

#### 【 0 1 4 8 】

##### （実施例 5）

本実施例では、まず安価な低級グレードの石英基板を用意する。次に、その石英基板を CMP（化学機械研磨）等の手法により理想状態（凹凸部の差の平均値が 5 nm 以内、代表的には 3 nm 以内、好ましくは 2 nm 以内）にまで研磨する。

#### 【 0 1 4 9 】

この様に、安価な石英基板であっても研磨によって優れた平坦性を有する絶縁性基板として利用することができる。石英基板を用いると非常に下地が緻密となるので下地／半導体薄膜界面の安定度が高い。また、基板からの汚染の影響も殆



どないので非常に利用価値が高い。

【0150】

なお、本実施例は、実施例1～4のいずれの構成とも組み合わせることが可能である。

【0151】

(実施例6)

実施例1及び実施例2では、珪素の結晶化を助長する触媒元素をゲッタリングする工程において15族に属する元素(実施例1および2ではリン)を用いる例を示した。本願発明では、触媒元素のゲッタリング工程にハロゲン元素を用いることも可能である。

【0152】

本実施例では、半導体活性層上にゲート絶縁膜を形成(図5(A)参照)した後の加熱処理において、ハロゲン元素を含んだ処理雰囲気を用いることによって、触媒元素のゲッタリング工程を行う。

【0153】

なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。そのため加熱処理温度を好ましくは800～1000℃(代表的には950℃)とし、処理時間は0.1～6時間、代表的には0.5～1時間とする。

【0154】

代表的な実施例としては酸素雰囲気中に対して塩化水素(HCl)を0.5～10体積%(本実施例では3体積%)の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行えば良い。HCl濃度を上記濃度以上とすると、半導体活性層の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0155】

また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲン元素を含む化合物が

ら選ばれた一種または複数種のものを用いることが出来る。

【0156】

この工程においては、半導体活性層中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去される。そして、この工程により半導体活性層中のニッケルの濃度は  $5 \times 10^{17} \text{atoms/cm}^3$  以下（代表的には  $2 \times 10^{17} \text{atoms/cm}^3$  以下）にまで低減される。なお、本発明者らの経験によれば、ニッケル濃度が  $1 \times 10^{18} \text{atoms/cm}^3$  以下（好ましくは  $5 \times 10^{17} \text{atoms/cm}^3$  以下）であれば T F T 特性に悪影響はでない。

【0157】

また、上記ゲッタリング処理はニッケル以外の他の金属元素にも効果的である。珪素膜中に混入しうる金属元素としては、主に成膜チャンバーの構成元素（代表的にはアルミニウム、鉄、クロム等）が考えられるが、上記ゲッタリング処理を行えば、それら金属元素の濃度も  $5 \times 10^{17} \text{atoms/cm}^3$  以下（好ましくは  $2 \times 10^{17} \text{atoms/cm}^3$  以下）にすることが可能である。

【0158】

なお、上記ゲッタリング処理を行うと、半導体活性層中にはゲッタリング処理に使用したハロゲン元素が  $1 \times 10^{16} \sim 1 \times 10^{20} \text{atoms/cm}^3$  の濃度で残存する。

【0159】

また、上記加熱処理により半導体活性層とゲート絶縁膜との界面では熱酸化反応が進行し、熱酸化膜の分だけゲート絶縁膜の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体／絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0160】

以上のようにして、ハロゲン元素を用いた触媒元素のゲッタリング工程が実施される。なお、その他の工程については、実施例 1 または実施例 2 に示す作製工程に従えば良い。その結果、実施例 1 または実施例 2 と同じ特徴を有する不揮発性メモリが得られる。

## 【 0 1 6 1 】

なお、本実施例は、実施例 3 ～ 5 のいずれの構成とも組み合わせることが可能である。

## 【 0 1 6 2 】

## (実施例 7)

本実施例では、実施例 1 又は実施例 2 で説明した作製方法において、ゲート電極にタンタル (Ta) または Ta 合金を用い、メモリ TFT のフローティングゲート電極とコントロールゲート電極の間の絶縁膜として、Ta または Ta 合金からなるゲート電極の熱酸化膜を用いる場合について説明する。

## 【 0 1 6 3 】

実施例 1 で説明した作製方法の場合、メモリ TFT のフローティングゲート電極に Ta または Ta 合金を用い、これを熱酸化するとよい。また、実施例 2 で説明した作製方法では、コントロールゲート電極に Ta または Ta 合金を用い、これを熱酸化するとよい。

## 【 0 1 6 4 】

Ta または Ta 合金をゲート電極に用いた場合、約 4 5 0 °C から約 6 0 0 °C で熱酸化することができ、 $Ta_2O_3$  等の膜質の良い酸化膜がゲート電極上に形成される。

## 【 0 1 6 5 】

このようにして形成された絶縁膜の比誘電率は、例えば  $Ta_2O_3$  の場合は 1 1 . 6 前後と、珪素を含む絶縁膜と比較して大きく、同じ膜厚を用いた場合に、フローティングゲートとコントロールゲートの間に、より大きな容量が形成される。その結果、Ta または Ta 合金の熱酸化膜を用いることによって、珪素を含む絶縁膜と比較して、フローティングゲートに電荷が注入されやすい構造の不揮発性メモリを作製することが可能となる。

## 【 0 1 6 6 】

また、本実施例は、実施例 3 ～ 6 のいずれの構成とも組み合わせることが可能である。

## 【 0 1 6 7 】

## (実施例 8)

本願発明の不揮発性メモリには、様々な用途がある。本実施例では、特に本願発明の不揮発性メモリをメモリ部として備えた電気光学装置（代表的には、液晶表示装置およびEL表示装置）について説明する。

## 【0168】

まず、本願発明の不揮発性メモリと、画素部と、画素部の駆動回路と、 $\gamma$ （ガンマ）補正回路とを少なくとも有する電気光学装置の例を図12を用いて説明する。

## 【0169】

$\gamma$ 補正回路とは $\gamma$ 補正を行うための回路である。 $\gamma$ 補正とは画像信号に適切な電圧を付加することによって、画素電極に印加される電圧とその上の液晶又はEL層の透過光強度との間に線形関係を作るための補正である。

## 【0170】

なお、本実施例では、画素部の駆動回路として、ソース配線駆動回路およびゲート配線駆動回路をそれぞれ1つずつ設けているが、それぞれ複数の駆動回路を設けても構わない。また、画素部、画素部の駆動回路、および $\gamma$ （ガンマ）補正回路については、公知の回路構造を用いれば良い。

## 【0171】

本実施例の電気光学装置は、絶縁基板上に形成されたTFTによって構成され、本願発明の不揮発性メモリの作製方法を用いることによって作製することができる。なお、液晶またはEL層の形成等のTFT形成後の工程については公知の方法を用いて作製すれば良い。

## 【0172】

図12は上記電気光学装置のブロック図である。画素部75の周辺にソース配線駆動回路76、ゲート配線駆動回路77が設けられ、さらに $\gamma$ 補正回路78、不揮発性メモリ79が設けられている。また、画像信号、クロック信号若しくは同期信号等は、FPC（フレキシブルプリントサーキット）80を経由して送られてくる。

## 【0173】

不揮発性メモリ 79 には、パソコン本体やテレビ受信アンテナ等から送られてきた画像信号に  $\gamma$  補正をかけるための補正データが格納（記憶）されており、その補正データを参照して  $\gamma$  補正回路 78 が画像信号に対して  $\gamma$  補正を行う。

## 【0174】

$\gamma$  補正のためのデータは電気光学装置を出荷する前に一度格納しておけば良いが、定期的に補正データを書き換えることも可能である。また、同じように作成した電気光学装置であっても、微妙に液晶の光学応答特性（先の透過光強度と印加電圧の関係など）が異なる場合がある。その場合も、本実施例では電気光学装置毎に異なる  $\gamma$  補正データを格納しておくことが可能なので、常に同じ画質を得ることが可能である。

## 【0175】

なお、不揮発性メモリ 79 に対して  $\gamma$  補正の補正データを格納する際、本出願人による特願平 10-156696 号に記載された手段を用いることは好ましい。また、 $\gamma$  補正に関する説明も同出願になされている。

## 【0176】

また、不揮発性メモリに格納する補正データはデジタル信号であるので、必要に応じて D/A コンバータ若しくは A/D コンバータを同一基板上に形成することが望ましい。

## 【0177】

次に、本願発明の不揮発性メモリと、画素部と、画素部の駆動回路と、メモリコントローラ回路とを少なくとも有する電気光学装置の例を図 13 を用いて説明する。

## 【0178】

本実施例におけるメモリコントローラ回路とは不揮発性メモリに画像データを格納したり読み出したりという動作を制御するための制御回路である。

## 【0179】

なお、本実施例では、画素部の駆動回路として、ソース配線駆動回路およびゲート配線駆動回路をそれぞれ 1 つずつ設けているが、それぞれ複数の駆動回路を設けても構わない。また、画素部、画素部の駆動回路、およびメモリコントローラ

ラ回路については、公知の回路構造を用いれば良い。

【0180】

本実施例の電気光学装置は、絶縁基板上に形成されたTFTによって構成され、本願発明の不揮発性メモリの作製方法を用いることによって作製することができる。なお、液晶またはEL層の形成等のTFT形成後の工程については公知の方法を用いて作製すれば良い。

【0181】

図13は本実施例の電気光学装置のブロック図である。画素部81の周辺にソース配線駆動回路82、ゲート配線駆動回路83が設けられ、さらにメモリコントローラ回路84、本願発明の不揮発性メモリ85が設けられている。また、画像信号、クロック信号若しくは同期信号等は、FPC（フレキシブルプリントサーキット）86を経由して送られてくる。

【0182】

不揮発性メモリ85には、パソコン本体やテレビ受信アンテナ等から送られてきた画像信号が1フレーム毎に格納（記憶）されており、その画像信号を順次画素部に入力して表示を行う。不揮発性メモリ85には画素部81に表示される画像1フレーム分の画像情報が記憶される。例えば、6ビットのデジタル信号が画像信号として送られてくる場合、画素数×6ビットに相当するメモリ容量を必要とする。

【0183】

なお、不揮発性メモリに格納する補正データはデジタル信号であるので、必要に応じてD/Aコンバータ若しくはA/Dコンバータを同一基板上に形成することが望ましい。

【0184】

このように本実施例の構成とすることで、画素部81に表示された画像を常に不揮発性メモリ85に記憶しており、画像の一時停止などの動作を容易に行うことができる。即ち、メモリコントローラ回路84により不揮発性メモリ85に格納された画像信号を常に画素部81へ送るようにすることで、ビデオデッキ等に録画することなくテレビ放送を自由に一時停止することが可能となる。

## 【 0 1 8 5 】

また、本実施例では1フレーム分を格納する例を示したが、さらに数百フレーム、数千フレーム分といった画像情報を格納しうる程度まで不揮発性メモリ85のメモリ容量を増やすことができたならば、一時停止だけでなく、数秒若しくは数分前の画像を再生（リプレイ）することも可能となる。

## 【 0 1 8 6 】

なお、本実施例の構成は、実施例1～7のいずれの構成とも自由に組み合わせて実施することができる。

## 【 0 1 8 7 】

## （実施例9）

本願発明の不揮発性メモリには、様々な用途がある。本実施例では、これらの不揮発性メモリを用いた電子機器について説明する。

## 【 0 1 8 8 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図14、15に示す。

## 【 0 1 8 9 】

図14（A）はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本願発明の不揮発性メモリは、表示部2003やその他の信号制御回路と一体形成されてもよい。

## 【 0 1 9 0 】

図14（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明の不揮発性メモリは、表示部2102やその他の信号制御回路と一体形成されてもよい。

## 【 0 1 9 1 】

図14（C）は頭部取り付け型のディスプレイの一部（右片側）であり、本体

2 2 0 1、信号ケーブル 2 2 0 2、頭部固定バンド 2 2 0 3、表示部 2 2 0 4、光学系 2 2 0 5、表示部 2 2 0 6 等を含む。本願発明の不揮発性メモリは表示部 2 2 0 6 やその他の信号制御回路と一体形成されてもよい。

## 【 0 1 9 2 】

図 1 4 (D) は記録媒体を備えた画像再生装置（具体的には D V D 再生装置）であり、本体 2 3 0 1、表示部 2 3 0 2、スピーカ部 2 3 0 3、記録媒体 2 3 0 4、操作スイッチ 2 3 0 5 等で構成される。なお、この装置は記録媒体として D V D (Digital Versatile Disc)、C D 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本願発明の不揮発性メモリは表示部 2 3 0 2 やその他の信号制御回路と一体形成されてもよい。

## 【 0 1 9 3 】

図 1 4 (E) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 4 0 1、表示部 2 4 0 2、アーム部 2 4 0 3 を含む。本願発明の不揮発性メモリは表示部 2 4 0 2 やその他の信号制御回路と一体形成されてもよい。

## 【 0 1 9 4 】

図 1 4 (F) はパーソナルコンピュータであり、本体 2 5 0 1、映像入力部 2 5 0 2、表示部 2 5 0 3、キーボード 2 5 0 4 等で構成される。本願発明の不揮発性メモリは、表示部 2 4 0 3 やその他の信号制御回路と一体形成されてもよい。

## 【 0 1 9 5 】

図 1 5 (A) は携帯電話であり、本体 2 6 0 1、音声出力部 2 6 0 2、音声入力部 2 6 0 3、表示部 2 6 0 4、操作スイッチ 2 6 0 5、アンテナ 2 6 0 6 を含む。本願発明の不揮発性メモリは表示部 2 6 0 4 やその他の信号制御回路と一体形成されてもよい。

## 【 0 1 9 6 】

図 1 5 (B) は音響再生装置、具体的にはカーオーディオであり、本体 2 7 0 1、表示部 2 7 0 2、操作スイッチ 2 7 0 3、2 7 0 4 を含む。本願発明の不揮発性メモリは表示部 2 7 0 2 やその他の信号制御回路と一体形成されてもよい。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置



に用いても良い。

【0197】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～8のどのような組み合わせからなる構成を用いても実現することができる。

【0198】

【発明の効果】

本願発明によると、不揮発性メモリが、その駆動回路および他の周辺回路と共に絶縁基板上に一体形成され、小型化を図ることができる。

【0199】

また、本願発明によると、不揮発性メモリを構成する各メモリセルにおいて、メモリTFETとスイッチングTFETが同一の半導体活性層上に形成されるため、不揮発性メモリの小型化を図ることができる。

【0200】

また、本願発明によると、不揮発性メモリの半導体活性層の膜厚が比較的薄いので、インパクトイオン化が起こりやすく、低電圧駆動でかつ劣化の少ない不揮発性メモリが実現される。

【0201】

さらに、本願発明の不揮発性メモリは、TFETで構成された任意の回路と絶縁基板上に一体形成することにより、不揮発性メモリを具備する半導体装置の小型化を図ることができる。

【図面の簡単な説明】

【図1】 本願発明の不揮発性メモリの回路構成を示す図。

【図2】 本願発明の不揮発性メモリを構成するメモリセルの断面図。

【図3】 本願発明の不揮発性メモリの作製行程を示す図。

【図4】 本願発明の不揮発性メモリの作製行程を示す図。

【図5】 本願発明の不揮発性メモリの作製行程を示す図。

【図6】 本願発明の不揮発性メモリの作製行程を示す図。

【図7】 本願発明の不揮発性メモリを構成するメモリセルの上面図。

【図 8】 本願発明の不揮発性メモリを構成するメモリセルの回路図。

【図 9】 本願発明の不揮発性メモリの作製行程を示す図。

【図 1 0】 本願発明の不揮発性メモリの作製行程を示す図。

【図 1 1】 本願発明の不揮発性メモリの作製行程を示す図。

【図 1 2】 本願発明の不揮発性メモリを用いた電気光学装置。

【図 1 3】 本願発明の不揮発性メモリを用いた電気光学装置。

【図 1 4】 本願発明の不揮発性メモリを用いた電子機器。

【図 1 5】 本願発明の不揮発性メモリを用いた電子機器。

【符号の説明】

1 0 1 Xアドレスデコーダ

1 0 2 Yアドレスデコーダ

1 0 3、1 0 4 周辺回路

2 0 1、2 0 2、2 0 3 ソース・ドレイン領域

2 0 4、2 0 5 チャネル形成領域

2 0 6 第1のゲート絶縁膜

2 0 7 ゲート絶縁膜

2 0 8 フローティングゲート電極

2 0 9 ゲート電極

2 1 0 第2のゲート絶縁膜

2 1 1 コントロールゲート電極

2 1 2 層間絶縁膜

2 1 3、2 1 4 ソース・ドレイン配線

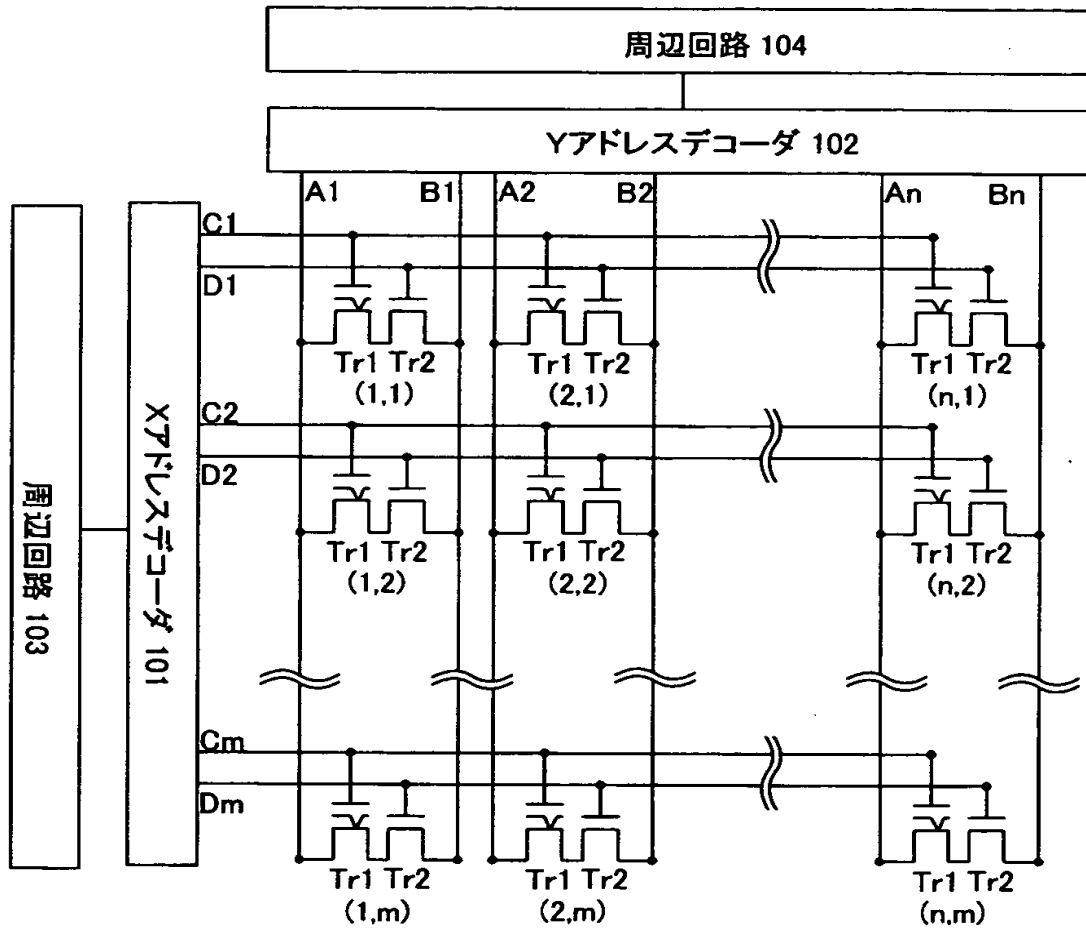
2 1 5 コントロールゲート配線

T r 1 メモリT F T

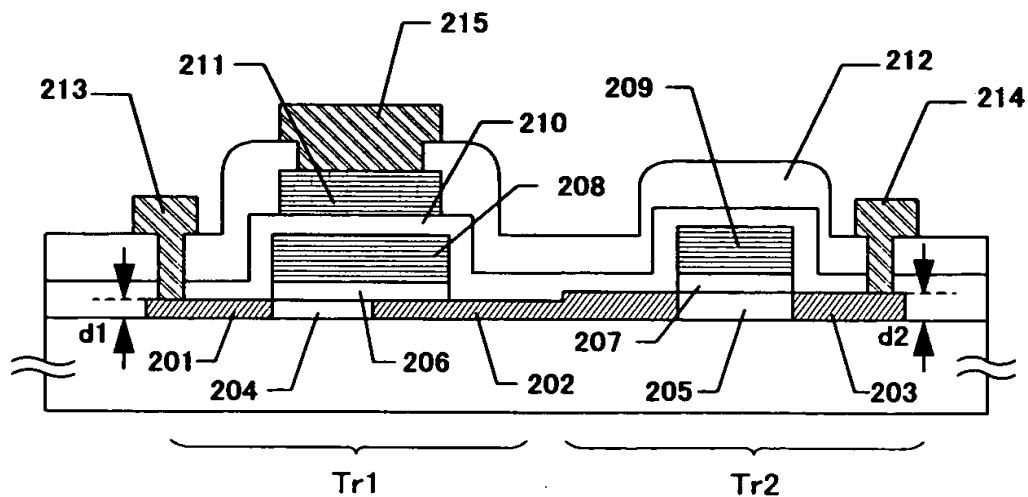
T r 2 スイッチングT F T

【書類名】 図面

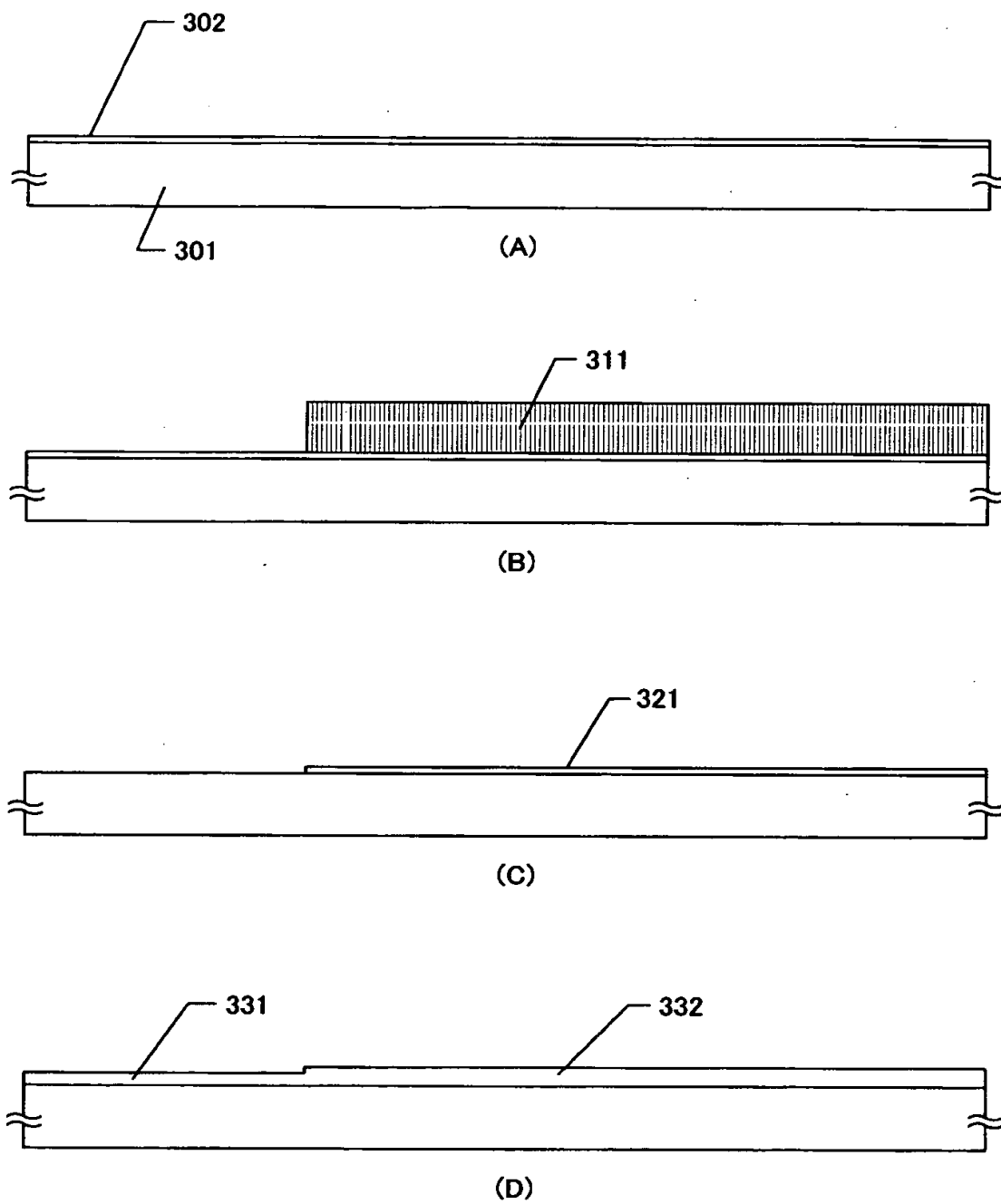
【図 1】



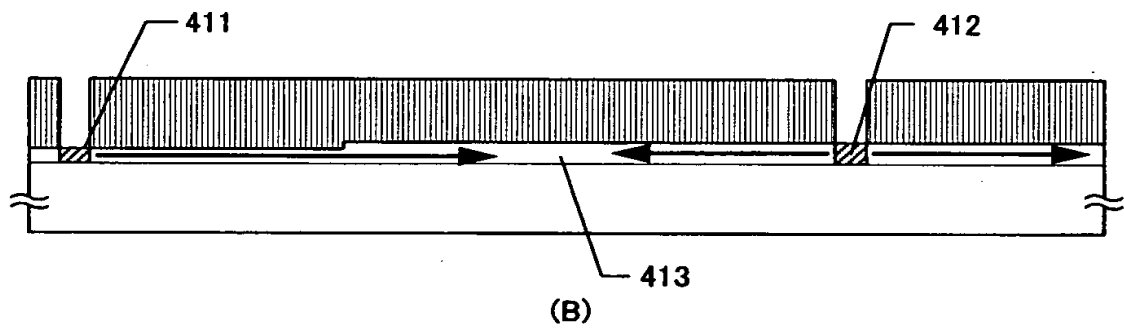
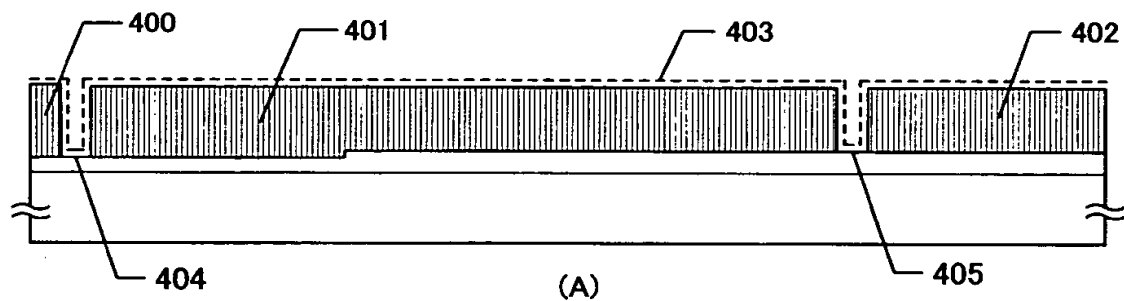
【図 2】



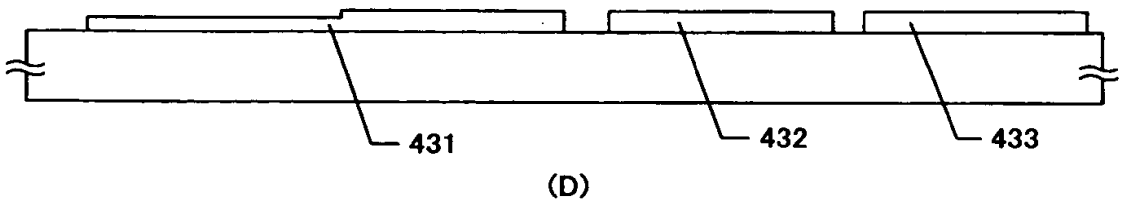
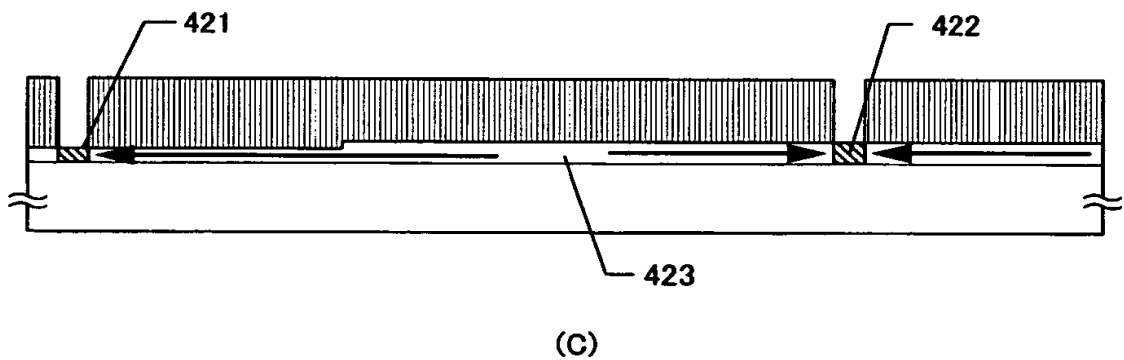
【図 3】



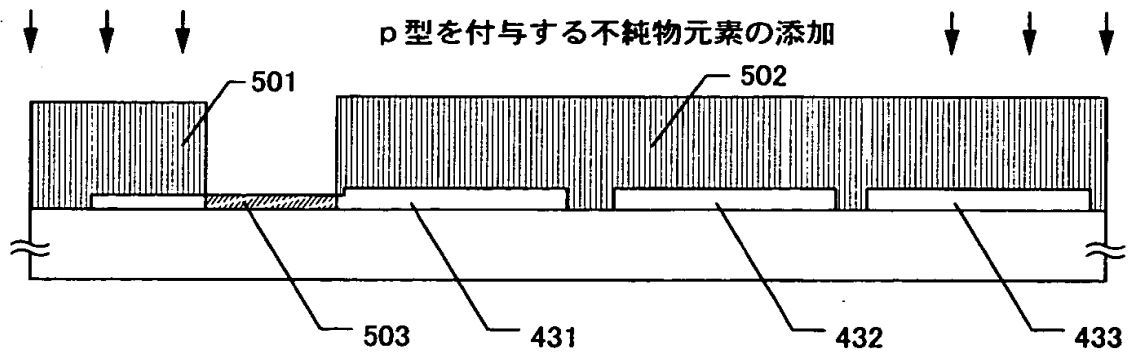
【図 4】



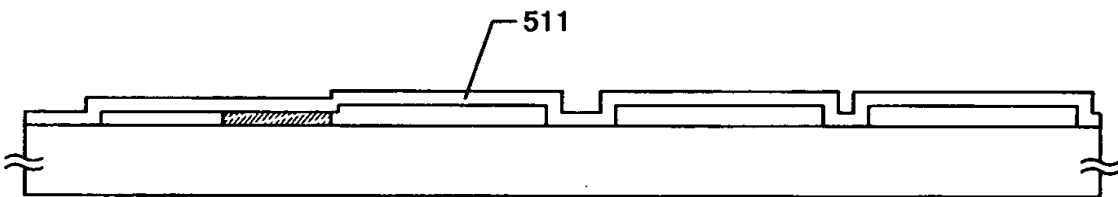
触媒元素のゲッタリングプロセス



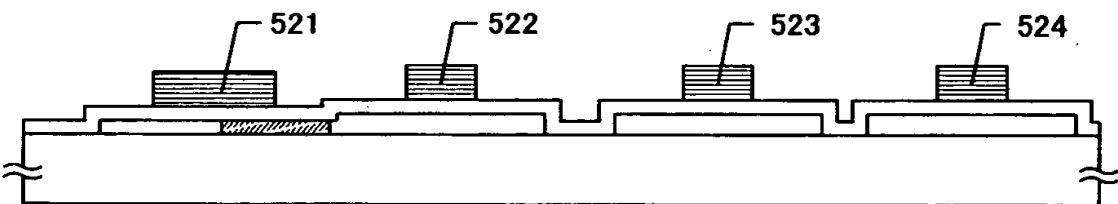
【図 5】



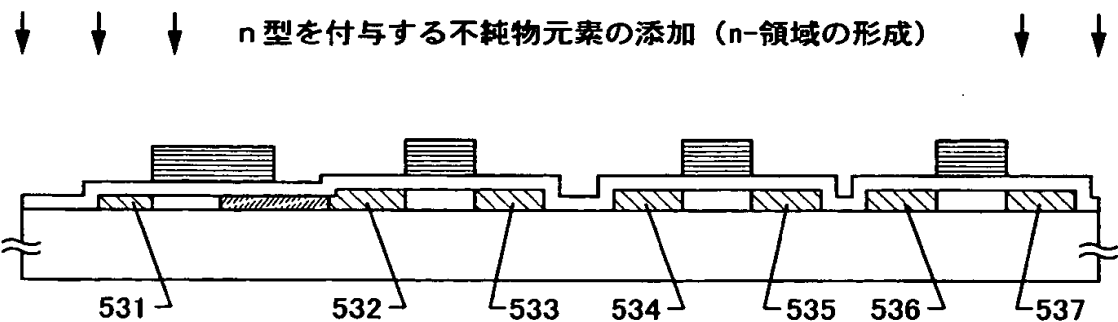
(A)



(B)

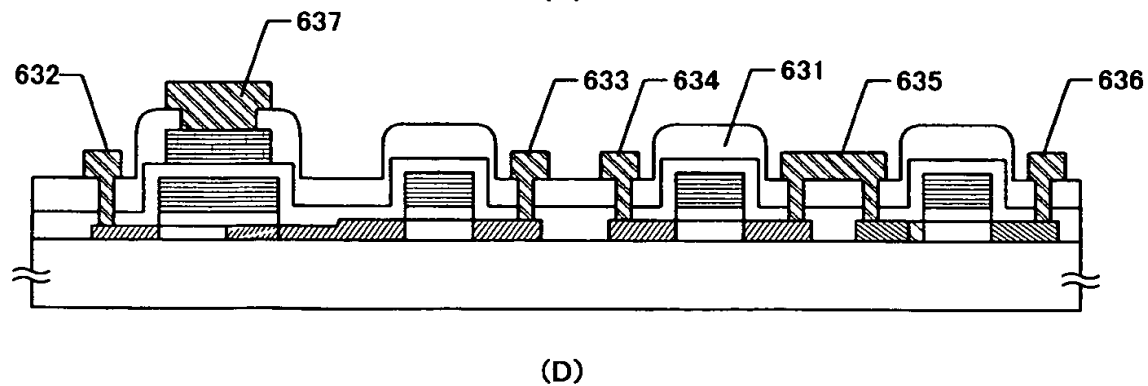
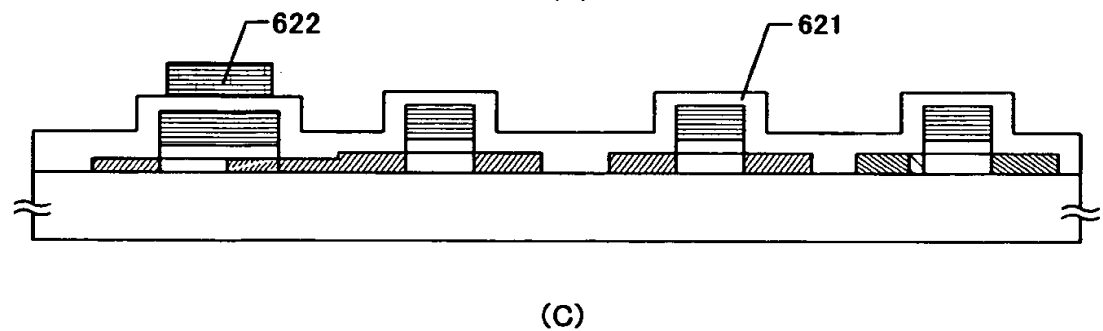
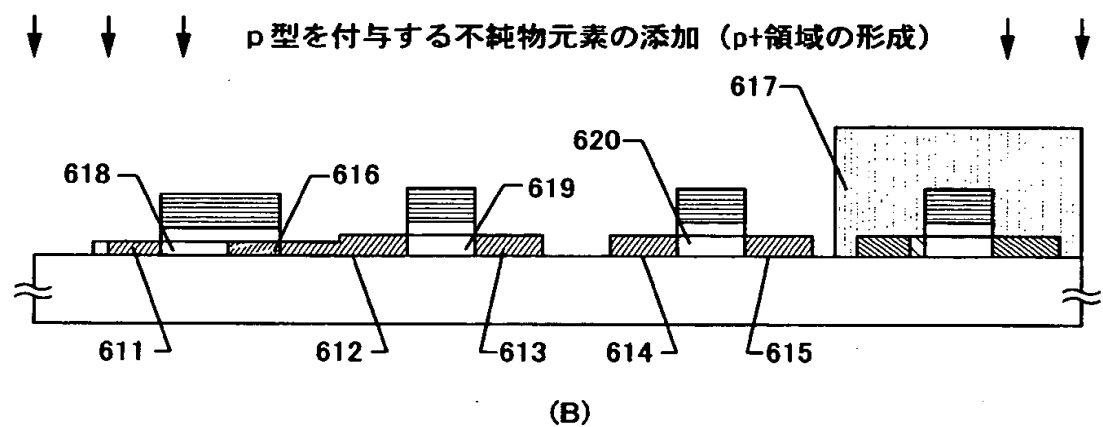
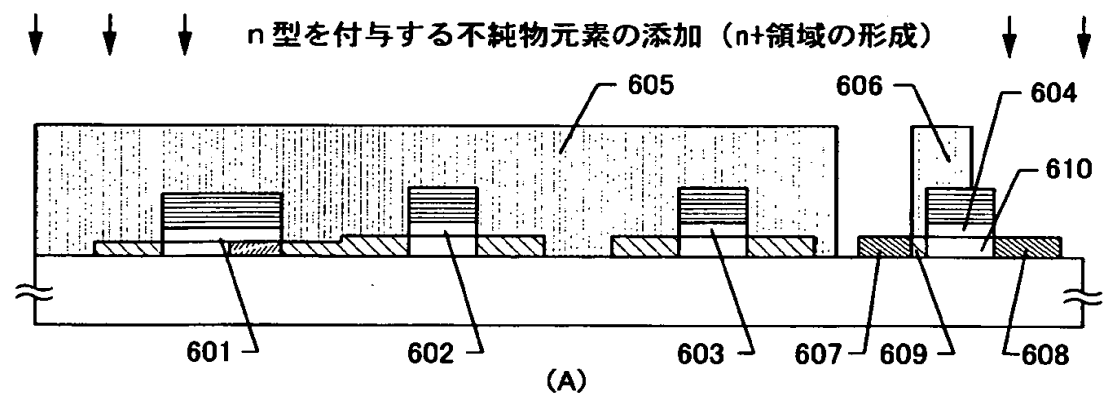


(C)

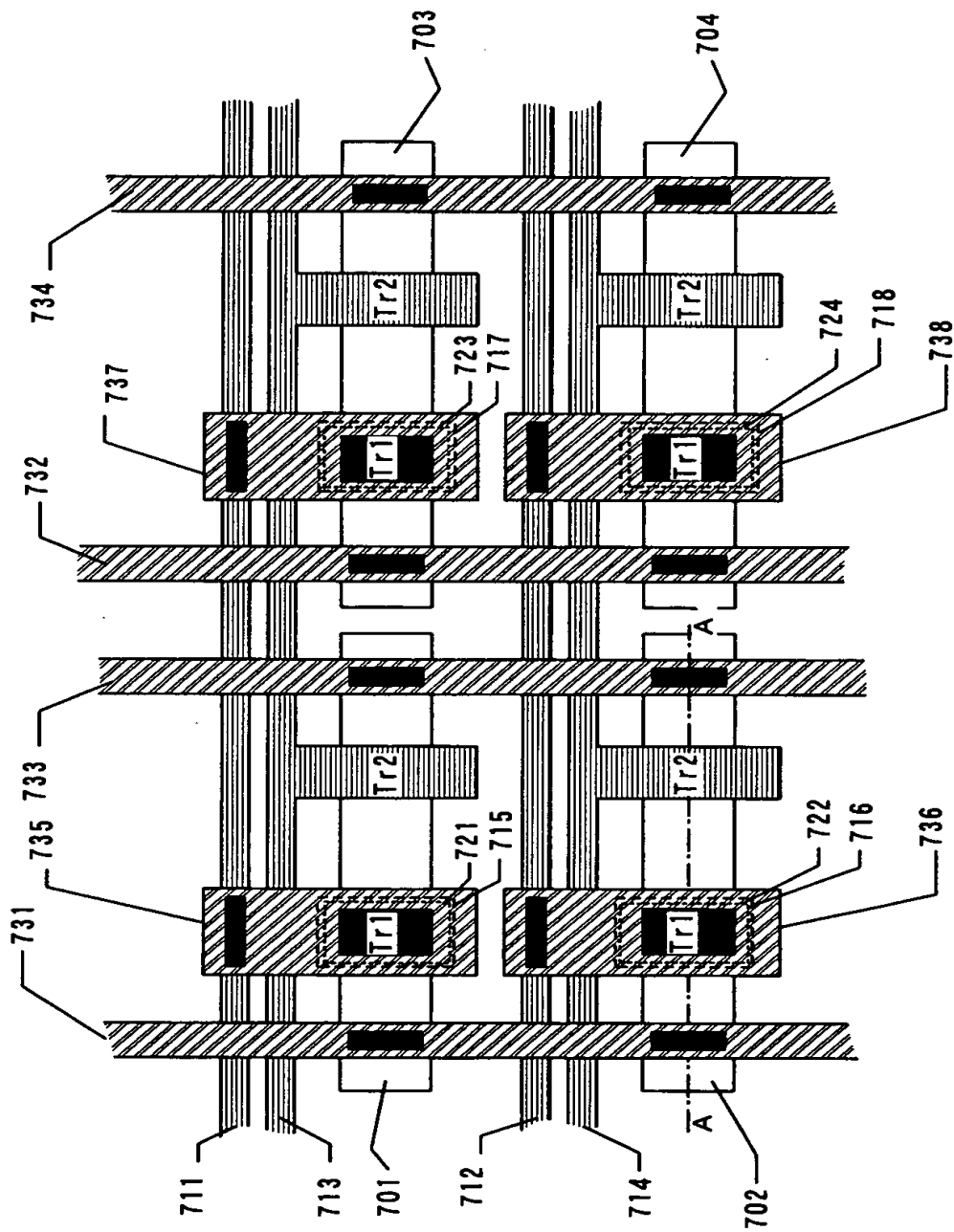


(D)

【図 6】

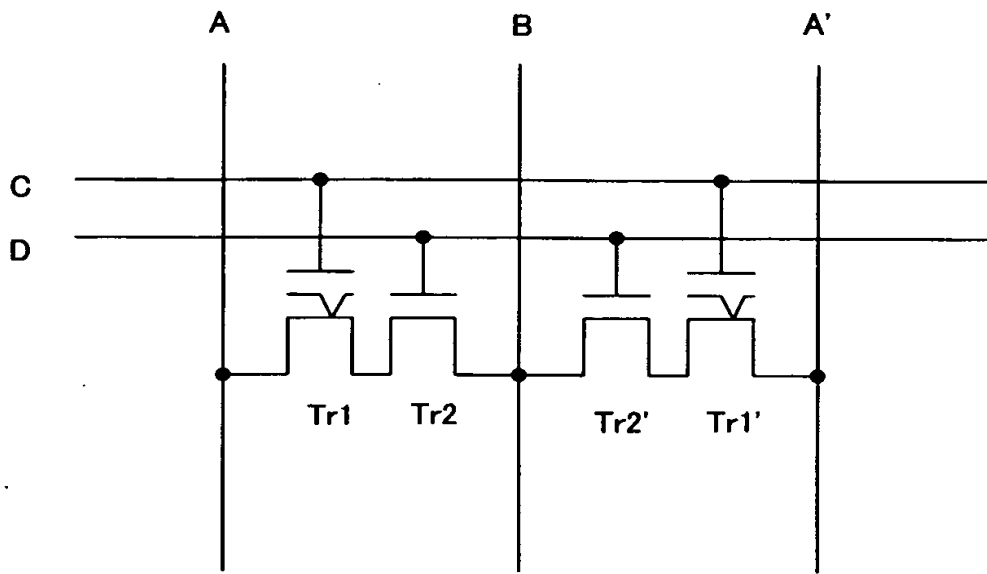


【図7】

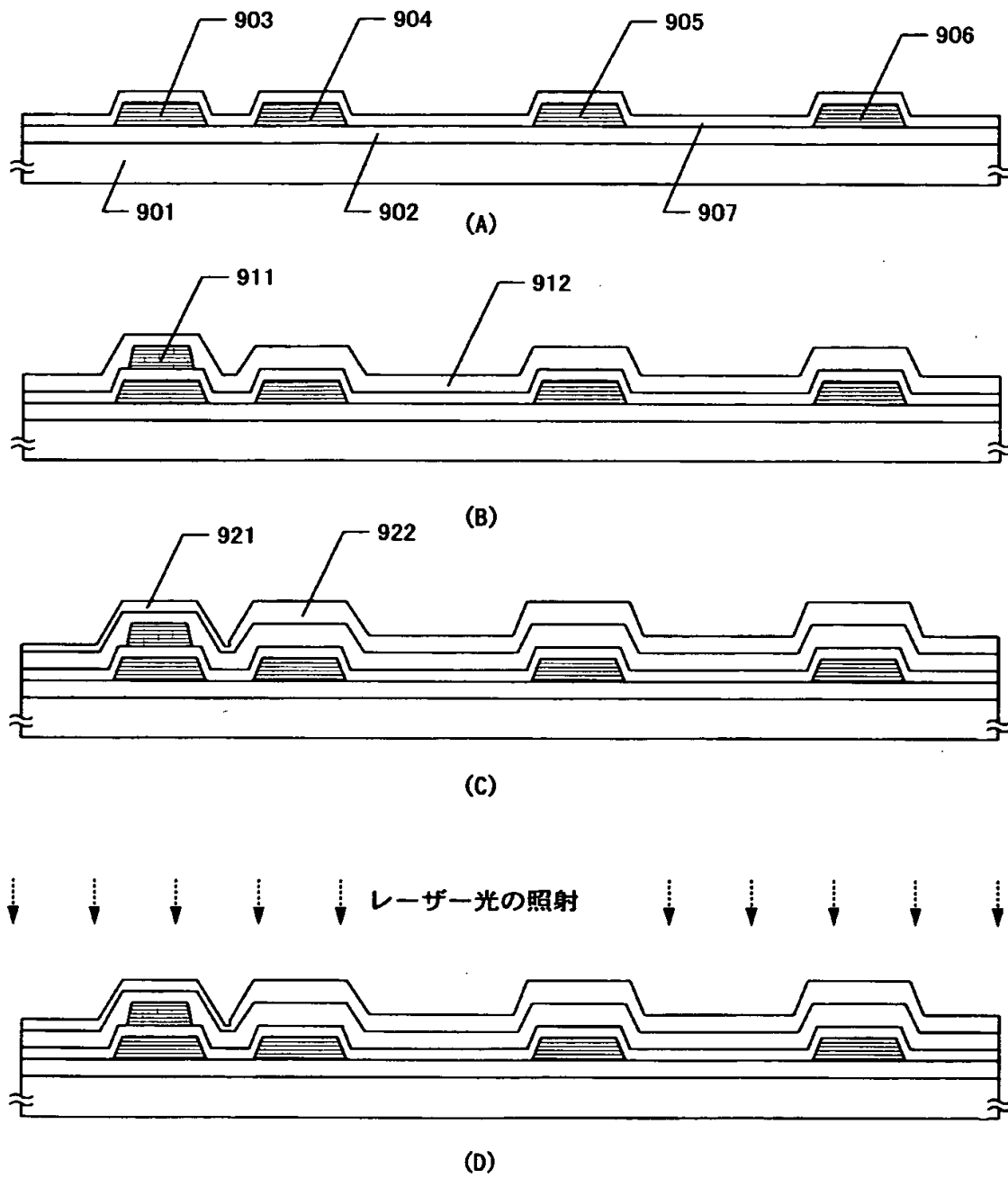




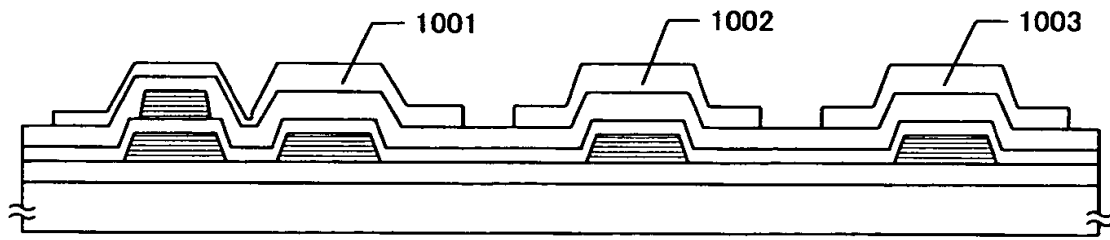
【図 8】



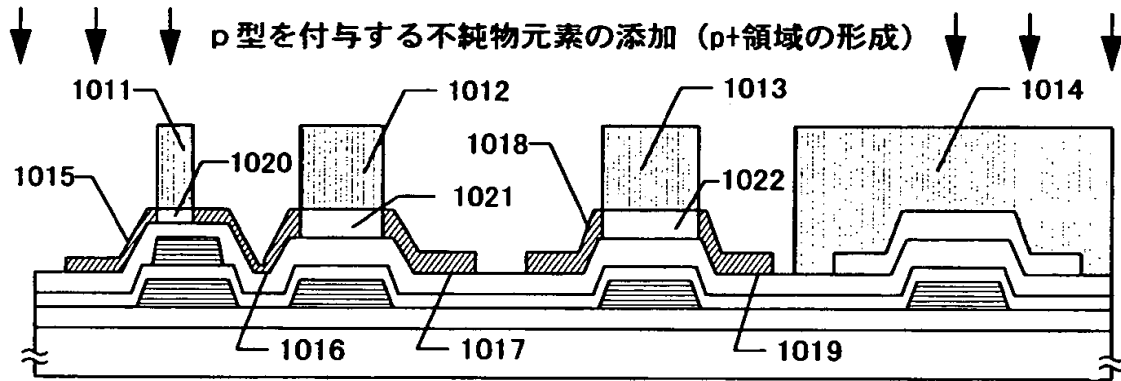
【図 9】



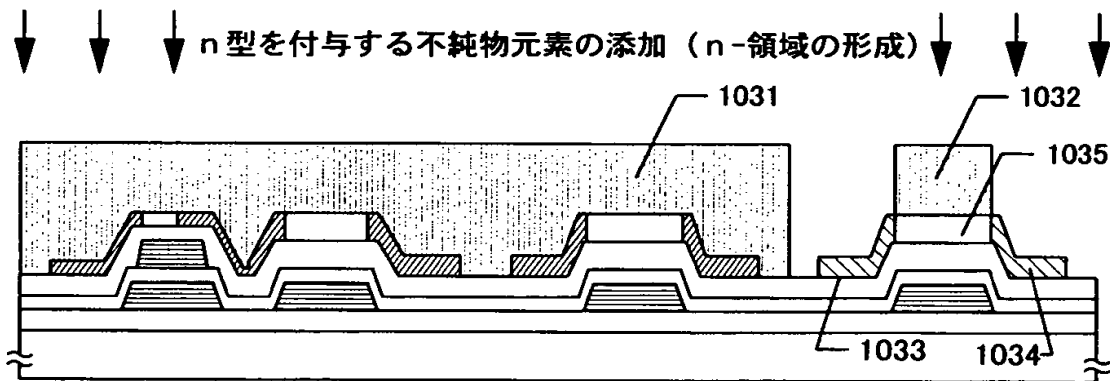
【図 1 0】



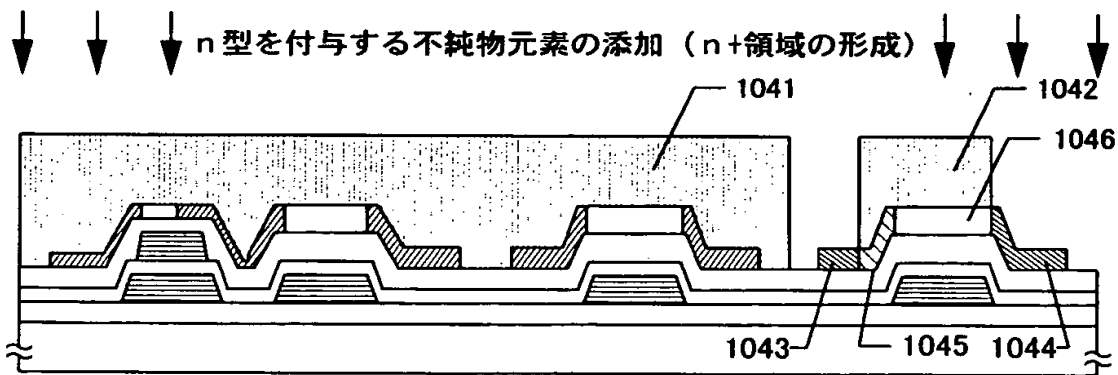
(A)



(B)

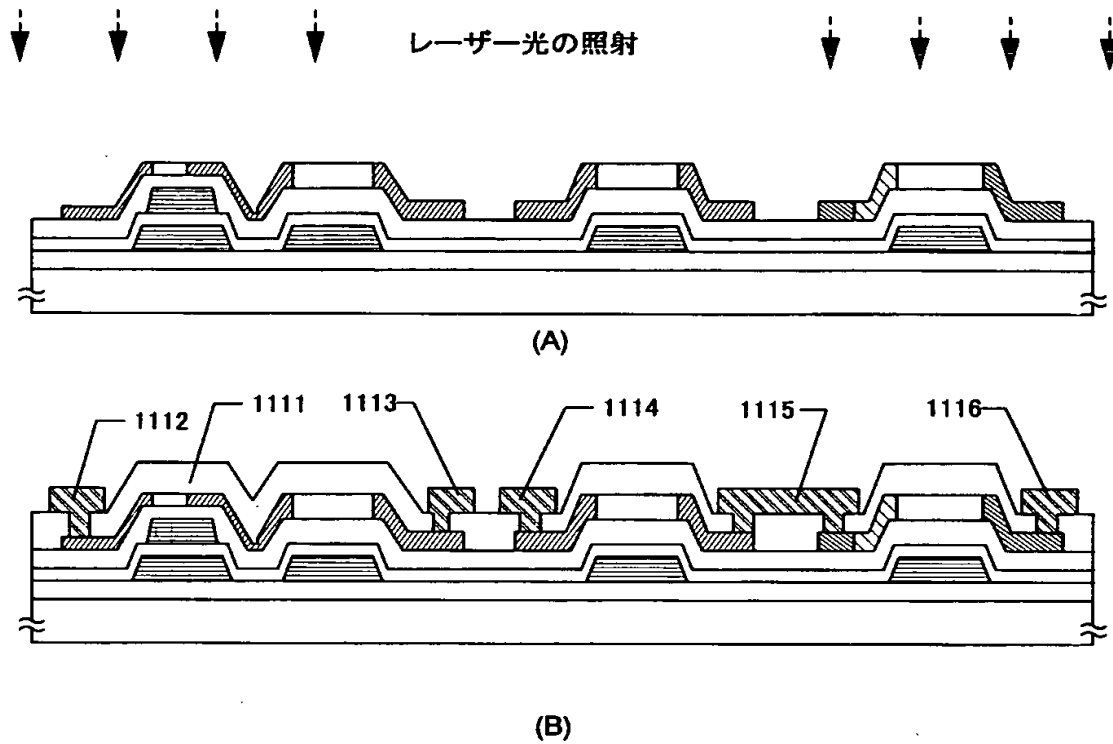


(C)

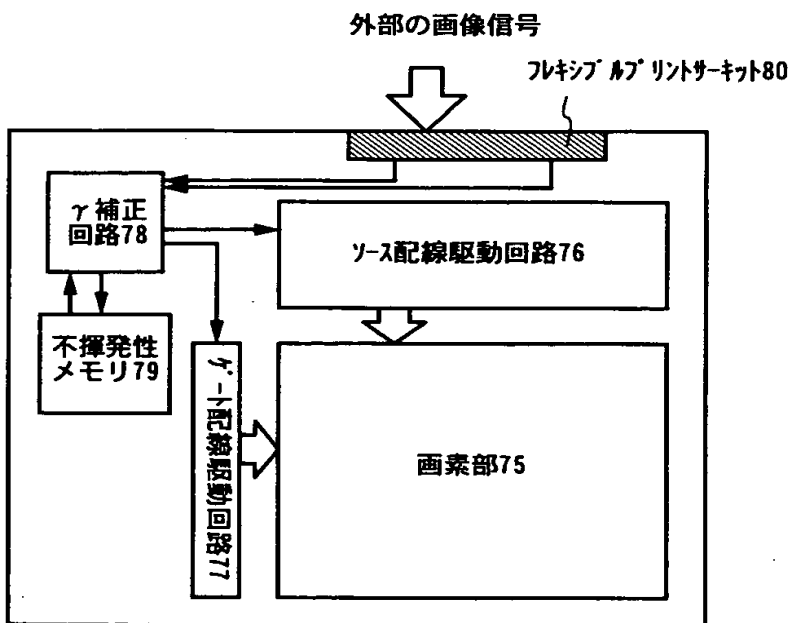


(D)

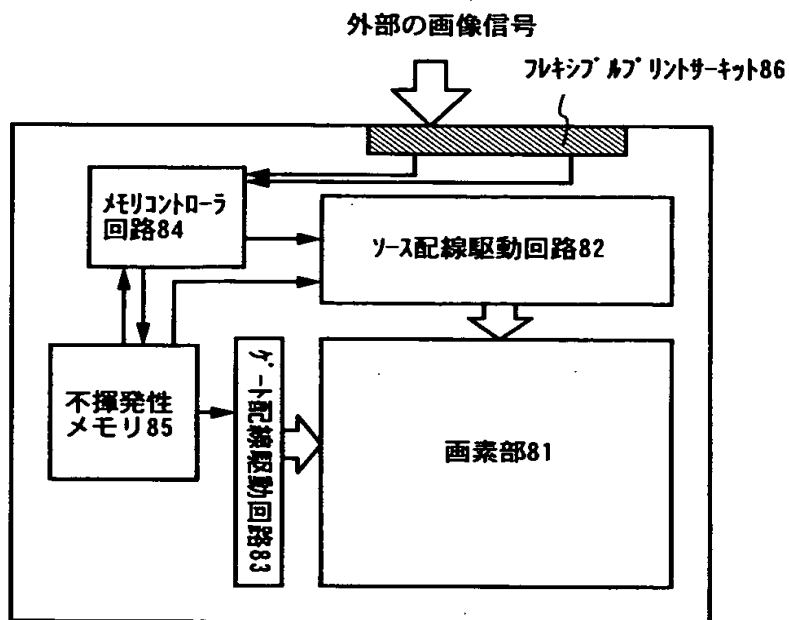
【図 1 1】



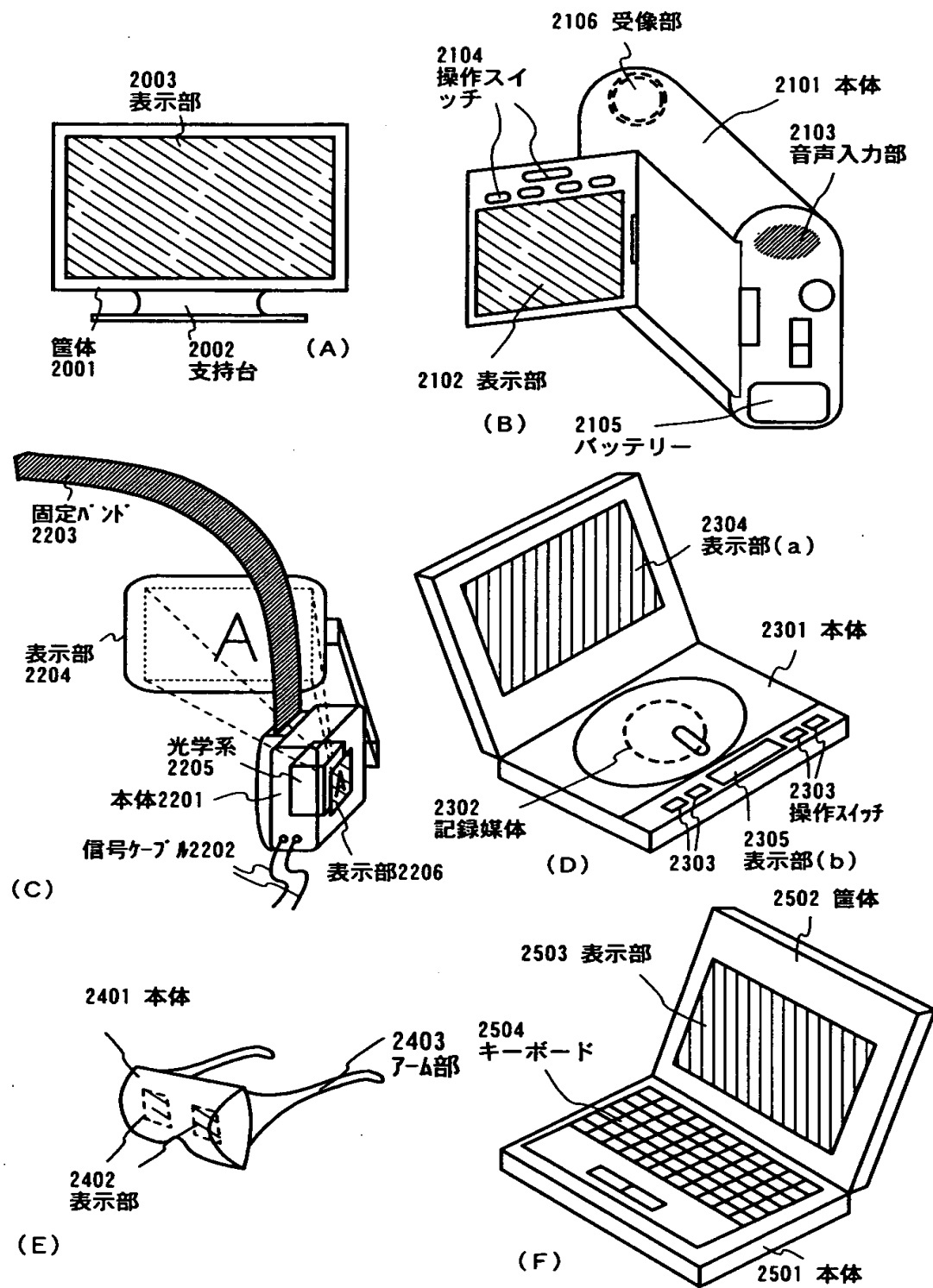
【図 1 2】



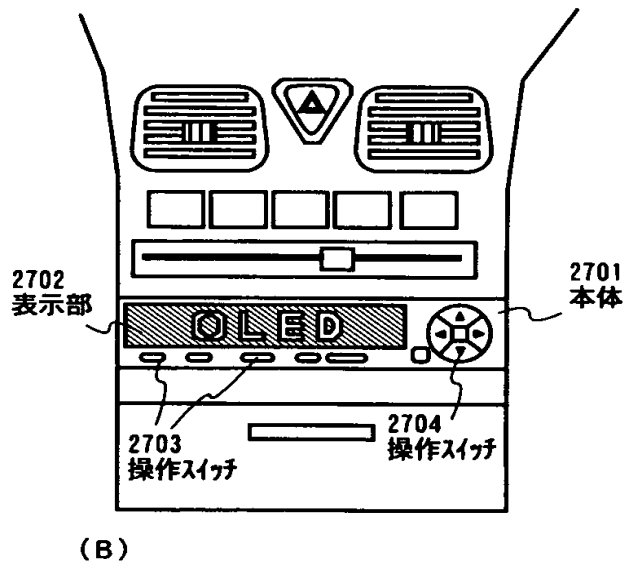
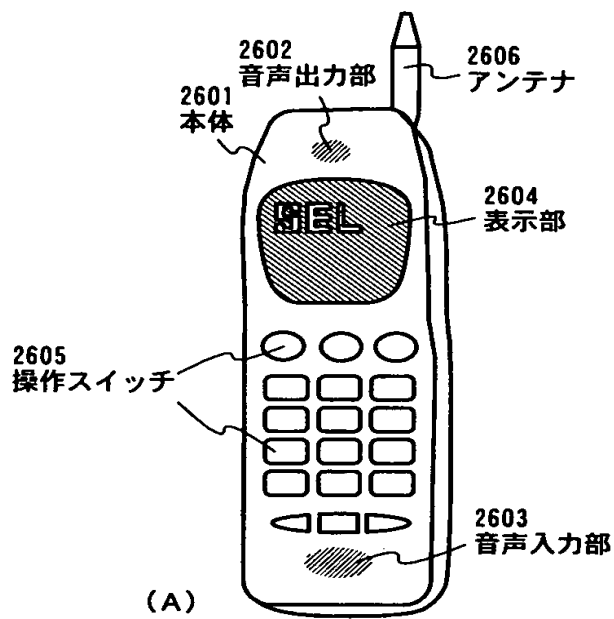
【図 1 3】



【図 14】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 他の半導体装置との一体形成および小型化が可能な不揮発性メモリを提供する。

【解決手段】 不揮発性メモリを構成するメモリTFT、スイッチングTFT、および他の周辺回路をTFTでもって基板上に一体形成する。メモリTFTとスイッチングTFTとを同一の半導体活性層上に形成すること、及びメモリTFTの半導体活性層を、他のTFTの半導体活性層よりも薄く形成することによって、メモリTFTの低電圧書き込み／消去を実現することができ、劣化が起こりにくく、小型化が可能な不揮発性メモリが提供される。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所